

日 本 国 特 許 庁
JAPAN PATENT OFFICE

US

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 8月30日

出 願 番 号

Application Number:

特願2002-255561

[ST.10/C]:

[JP2002-255561]

出 願 人

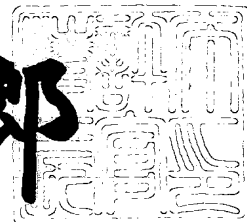
Applicant(s):

NECエレクトロニクス株式会社

2003年 5月13日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3034358

【書類名】 特許願

【整理番号】 75010424

【提出日】 平成14年 8月30日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 17/00
H01L 29/78

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 西坂 禎一郎

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 酒井 勲美

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 吉野 明

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 河合 真一

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 石毛 清一

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 濱嶋 智宏

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 田中 素子

【特許出願人】

 【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100080816

【弁理士】

【氏名又は名称】 加藤 朝道

【電話番号】 045-476-1131

【手数料の表示】

【予納台帳番号】 030362

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9304371

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置及びその制御方法と製造方法

【特許請求の範囲】

【請求項 1】

複数の単位セルを有し、4つの単位セルが、1つのコンタクト領域を共有し、前記コンタクト領域を中心としてX型に配置されるレイアウト構成のセルアレイを有する半導体記憶装置において、

前記単位セルは、基板表面に互いに離間して設けられている第1及び第2の拡散層と、基板上に前記第1及び第2の拡散層の間の領域を覆って形成され、電荷捕膜を含む絶縁膜と、前記絶縁膜の上に設けられワード線電極をなすゲート電極と、を有する1つのメモリトランジスタで構成され、

前記単位セルの前記第1の拡散層及び／又は前記第2の拡散層は、前記単位セルに隣接する他の単位セルと共用され、

前記第1の拡散層は、前記基板上層に配設されている、読み出し用の第1のビット線に接続され、

前記第2の拡散層は、前記基板上層に配設されている、書き込み及び消去用の第2のビット線に接続されてなる、ことを特徴とする半導体記憶装置。

【請求項 2】

書き込み対象の前記単位セルに接続する前記ワード線に所定の正電圧が印加され、前記単位セルに接続する前記第2のビット線に書き込み用の正電圧が印加され、前記単位セルに接続する前記第1のビット線が接地電位とされ、前記絶縁膜へチャネル・ホットエレクトロンの注入が行われることで、前記単位セルへの書き込みが行われ、

消去時には、消去対象の前記単位セルに接続する前記ワード線が接地電位とされ、前記単位セルに接続する前記第2のビット線に正電圧が印加され、前記絶縁膜へホットホールが注入され電荷を中和することで消去が行われる、ことを特徴とする、請求項1記載の半導体記憶装置。

【請求項 3】

前記絶縁膜が、酸化シリコン膜、窒化シリコン膜、酸化シリコン膜がこの順に

積層されたものである、ことを特徴とする、請求項 1 記載の半導体記憶装置。

【請求項 4】

前記ゲート電極の表面、又は、前記ゲート電極の表面と前記第 1 及び第 2 の拡散層の表面に、金属シリサイド層を有する、ことを特徴とする、請求項 1 記載の半導体記憶装置。

【請求項 5】

前記第 2 のビット線が、前記セルアレイの一侧から他側にかけて延在されており、書き込み時に、書き込み対象の前記単位セルに接続する前記第 2 のビット線の長手方向の両側から、書き込み用の正電圧が供給される構成とされてなる、ことを特徴とする、請求項 1 記載の半導体記憶装置。

【請求項 6】

複数のメモリセルを有するセルアレイを有し、
前記セルアレイ内の相隣る 2 つのメモリセルが、
基板表面に互いに離間して設けられた第 1 乃至第 3 の拡散層と、
基板上に前記第 1 の拡散層及び前記第 2 の拡散層の間の領域を覆って設けられた第 1 の絶縁膜と、前記第 1 の絶縁膜の上に設けられた第 1 のゲート電極と、
前記基板上に、前記第 2 の拡散層及び前記第 3 の拡散層の間の領域を覆って設けられた第 2 の絶縁膜と、前記第 2 の絶縁膜の上に設けられた第 2 のゲート電極と、
を備え、
前記第 1 及び第 2 の拡散層と、前記第 1 の絶縁膜と、前記第 1 のゲート電極よりなる 1 つのメモリセルトランジスタが第 1 のメモリセルをなし、
前記第 2 及び第 3 の拡散層と、前記第 2 の絶縁膜と、前記第 2 のゲート電極よりなる 1 つのメモリセルトランジスタが第 2 のメモリセルをなし、
前記第 1 及び第 2 のゲート電極は、それぞれ第 1 及び第 2 のワード線に接続されるか、あるいは、互いに共通接続されて 1 本のワード線電極をなし、
前記第 1 の拡散層は、前記基板上層に配設されている第 1 のビット線にコンタクトで接続され、
前記第 2 の拡散層は、前記基板上層に配設されている第 2 のビット線にコンタ

クトで接続され、

前記第 3 の拡散層は、前記基板上層に配設されている第 3 のビット線にコンタクトで接続されている、ことを特徴とする半導体記憶装置。

【請求項 7】

前記第 1 及び第 2 の絶縁膜が、それぞれ、電荷捕獲膜を含む、ことを特徴とする、請求項 6 記載の半導体記憶装置。

【請求項 8】

書き込み時には、書き込み対象のメモリセルのゲート電極に接続するワード線に所定の正電圧が印加され、書き込み対象のメモリセルに接続する前記第 2 のビット線に、書き込み用の正電圧が印加され、

前記第 1 のビット線及び前記第 3 のビット線のうち書き込み対象のメモリセルに接続する一方のビット線が接地電位とされ、他方のビット線は書き込み禁止用の正電圧に設定される、ことを特徴とする、請求項 6 記載の半導体記憶装置。

【請求項 9】

前記第 2 のビット線が、前記セルアレイの一侧から他側にかけて延在されており、書き込み時には、前記第 2 ビット線の長手方向の両端から、前記書き込み用の正電圧が印加される、ことを特徴とする、請求項 8 記載の半導体記憶装置。

【請求項 10】

消去対象のメモリセルのゲート電極に接続するワード線に接地電位又は負電圧が印加され、

消去対象のメモリセルに接続する前記第 2 のビット線に、消去用の正電圧が印加され、ホットホールが前記メモリセルの絶縁膜へ注入され、前記メモリセルの絶縁膜に捕獲された電荷を中和させることで消去が行われる、ことを特徴とする、請求項 6 記載の半導体記憶装置。

【請求項 11】

読み出し時に、読み出し対象のメモリセルのゲート電極に接続するワード線に所定の正電圧が印加され、前記読み出し対象のメモリセルに接続する前記第 2 のビット線に接地電位が印加され、前記第 1 及び第 3 のビット線のうち読み出し対象のメモリセルに接続されるビット線に読み出し用の正電圧が印加される、こと

を特徴とする、請求項 6 記載の半導体記憶装置。

【請求項 1 2】

読み出し時に、読み出し対象のメモリセルに接続する前記第 2 のビット線に所定の正電圧が読み出し電圧として印加され、前記第 1 及び第 3 のビット線のうち前記第 2 のビット線に隣接し、読み出し対象のメモリセルトランジスタ側の拡散層に接続するビット線に接地電位が印加され、

前記メモリセルトランジスタの 2 つの拡散層間に流れる電流の大きさによって、前記読み出し対象のメモリセルが書き込まれたセルであるか、あるいは、未書き込みのセルであるかの判定を行う手段を備えている、ことを特徴とする、請求項 6 記載の半導体記憶装置。

【請求項 1 3】

前記第 1 及び第 2 のゲート電極が多結晶シリコン膜よりなり、前記第 1 及び第 2 のゲート電極のうち少なくとも 1 つのゲート電極が、表面に金属シリサイド層を有する、ことを特徴とする、請求項 6 記載の半導体記憶装置。

【請求項 1 4】

前記第 1 乃至第 3 の拡散層のうち少なくとも 1 つの拡散層が、表面に金属シリサイド層を有する、ことを特徴とする、請求項 1 3 記載の半導体記憶装置。

【請求項 1 5】

前記第 1 のゲート電極及び前記第 2 のゲート電極のうち少なくとも 1 つのゲート電極直下の前記第 2 の拡散層の端部に、前記第 2 の拡散層とは逆極性の不純物領域を有する、ことを特徴とする、請求項 6 記載の半導体記憶装置。

【請求項 1 6】

前記第 1 のゲート電極及び前記第 2 のゲート電極のうち少なくとも 1 つのゲート電極直下の前記第 2 の拡散層の端部に、前記第 2 の拡散層と同一極性であり、且つ、前記第 2 の拡散層よりも低濃度の第 1 の不純物領域を有し、前記第 1 の不純物領域の端部に、前記第 2 の拡散層と逆極性の第 2 の不純物領域を有する、ことを特徴とする、請求項 6 記載の半導体記憶装置。

【請求項 1 7】

前記第 1 のゲート電極直下の前記第 1 の拡散層の端部、及び／又は、前記第 2

のゲート電極直下の前記第 3 の拡散層の端部に、前記拡散層のいずれとも同一極性であり、且つ、前記拡散層よりも低濃度の不純物領域を有する、ことを特徴とする、請求項 1 5 又は 1 6 記載の半導体記憶装置。

【請求項 1 8】

前記第 1 のゲート電極直下の前記第 1 の拡散層の端部、及び／又は、前記第 2 のゲート電極直下の前記第 3 の拡散層の端部に、前記拡散層とは逆極性の不純物領域を有する、ことを特徴とする、請求項 6 又は 1 5 記載の半導体記憶装置。

【請求項 1 9】

前記第 1 のゲート電極直下の前記第 1 の拡散層の端部、及び／又は、前記第 2 のゲート電極直下の前記第 3 の拡散層の端部に、前記各拡散層と同一極性であり、且つ、前記拡散層よりも低濃度の第 3 の不純物領域を有し、前記第 3 の不純物領域の端部に、前記拡散層と逆極性の第 4 の不純物領域を有する、ことを特徴とする、請求項 6 又は 1 6 記載の半導体記憶装置。

【請求項 2 0】

前記第 1 のゲート電極直下の前記第 2 の拡散層の端部と前記第 1 の拡散層の間、及び／又は、前記第 2 のゲート電極直下の前記第 2 の拡散層の端部と前記第 3 の拡散層の間に、前記拡散層と逆極性の不純物領域を有する、ことを特徴とする、請求項 6 記載の半導体記憶装置。

【請求項 2 1】

メモリセルを複数有するセルアレイ領域の基板表面に、矩形形状の頂点に位置する 4 つの領域に設けられている第 1 乃至第 4 の拡散層を少なくとも有し、

前記第 1 及び第 3 の拡散層は、第 1 の対角線上に位置し、

前記第 2 及び第 4 の拡散層は、前記第 1 の対角線に直交する第 2 の対角線上に位置し、

前記第 1 及び第 2 の拡散層の間を覆うようにして基板上に設けられた第 1 の絶縁膜と、前記第 1 の絶縁膜の上に設けられた第 1 のゲート電極と、

前記第 2 及び第 3 の拡散層の間を覆うようにして基板上に設けられた第 2 の絶縁膜と、前記第 2 の絶縁膜の上に設けられた第 2 のゲート電極と、

前記第 3 及び第 4 の拡散層の間を覆うようにして基板上に設けられた第 3 の絶

縁膜と、前記第 3 の絶縁膜の上に設けられた第 3 のゲート電極と、

前記第 4 及び第 1 の拡散層の間を覆うようにして基板上に設けられた第 4 の絶縁膜と、前記第 4 の絶縁膜の上に設けられた第 4 のゲート電極と、

を少なくとも含み、

前記第 1 及び第 2 の拡散層と、前記第 1 の絶縁膜と、前記第 1 のゲート電極とからなる 1 つのメモリセルトランジスタが第 1 のメモリセルをなし、

前記第 2 及び第 3 の拡散層と、前記第 2 の絶縁膜と、前記第 2 のゲート電極とからなる 1 つのメモリセルトランジスタが、前記第 1 のメモリセルに隣接する第 2 のメモリセルをなし、

前記第 3 及び第 4 の拡散層と、前記第 3 の絶縁膜と、前記第 3 のゲート電極とからなる 1 つのメモリセルトランジスタが、前記第 2 のメモリセルに隣接する第 3 のメモリセルをなし、

前記第 4 及び第 1 の拡散層と、前記第 4 の絶縁膜と、前記第 4 のゲート電極とからなる 1 つのメモリセルトランジスタが、前記第 1 及び第 3 のメモリセルのそれぞれに隣接する第 4 のメモリセルをなし、

前記第 1 のゲート電極と前記第 2 のゲート電極は、共通接続されて第 1 のワード線をなし、

前記第 3 のゲート電極と前記第 4 のゲート電極は、共通接続されて第 2 のワード線をなし、

前記第 1 の拡散層は、前記基板上層で前記第 1 及び第 2 のワード線と立体交差して配設される、第 1 のビット線にコンタクトで接続され、

前記第 2 及び第 4 の拡散層は、前記基板上層で前記第 1 及び第 2 のワード線と立体交差して配設される、第 2 のビット線にそれぞれコンタクトを介して共通に接続され、

前記第 3 の拡散層は、前記基板上層で前記第 1 及び第 2 のワード線と立体交差して配設される、第 3 のビット線にコンタクトで接続されてなる、ことを特徴とする半導体記憶装置。

【請求項 2 2】

前記セルアレイが、前記第 1 乃至第 4 の単位セルよりなる組を、前記第 1 及び

第 3 のビット線と、前記第 2 のビット線が延在される方向に沿って複数組備えるとともに、前記第 1 乃至第 4 の単位セルよりなる組を、前記ワード線の延在される方向に沿って複数組備え、

前記ビット線の長手方向に配設される前記第 1 乃至第 4 の単位セルの複数組に対して、前記第 1 及び第 2 のワード線の組を複数組備え、

前記ビット線の長手方向に配設される前記第 1 乃至第 4 の単位セルの複数組について、一の組の前記第 4 の拡散層と、前記一の組に隣接する他の組の前記第 2 の拡散層とが共通とされ、

前記ワード線の長手方向に配設される前記第 1 乃至第 4 の単位セルの複数組に対して、一の組の前記第 1 の拡散層と、前記一の組に隣接する他の組の前記第 3 の単位セルとは、共通とされ、

前記ワード線の長手方向について一の組と前記一の組に隣接する他の組の間で前記第 1 のビット線と前記第 3 のビット線とが共通とされている、ことを特徴とする、請求項 2 1 記載の半導体記憶装置。

【請求項 2 3】

前記第 2 のビット線が、セルアレイの一端から他端にわたって延在されており、

前記第 2 のビット線は、前記セルアレイの両端で、それぞれ、第 1 及び第 2 のバンク選択トランジスタを介して、バンク間にまたがって配設されているグローバル書き込み及び消去用のビット線に接続され、

書き込み時には、前記セルアレイの両端の前記バンク選択トランジスタがオンされ、前記第 2 のビット線の両端から前記書き込み用の正電圧が印加される、ことを特徴とする、請求項 2 2 記載の半導体記憶装置。

【請求項 2 4】

前記第 1 及び第 4 の絶縁膜が、それぞれ、電荷捕獲膜を含む、ことを特徴とする、請求項 2 1 記載の半導体記憶装置。

【請求項 2 5】

書き込み時には、前記第 1 及び第 2 のワード線のうち、書き込み対象の単位セルに接続するワード線に所定の正電圧が印加され、書き込み対象のメモリセルに

接続する前記第 2 のビット線に書き込み用の正電圧が印加され、

前記第 1 のビット線と前記第 3 のビット線のうち書き込み対象のメモリセルの拡散層に接続する一方のビット線が接地電位とされ、他方が書き込み禁止用の正電圧に設定される、ことを特徴とする、請求項 2 1 記載の半導体記憶装置。

【請求項 2 6】

消去対象のメモリセルに接続するワード線に接地電位又は負電圧が印加され、

書き込み対象のメモリセルに接続する前記第 2 のビット線に、消去用の正電圧が印加され、発生したホットホールが前記メモリセルの絶縁膜に注入され、前記メモリセルの絶縁膜に捕獲された電荷を中和させることで消去が行われる、ことを特徴とする、請求項 2 1 記載の半導体記憶装置。

【請求項 2 7】

複数のメモリセルを有するセルアレイを有し、

前記セルアレイ内の相隣る 2 つのメモリセルが、

基板表面に互いに離間して設けられた第 1 乃至第 3 の拡散層と、

基板上に前記第 1 の拡散層及び前記第 2 の拡散層の間の領域を覆って設けられた第 1 の絶縁膜と、前記第 1 の絶縁膜の上に設けられた第 1 のゲート電極と、

前記基板上に、前記第 2 の拡散層及び前記第 3 の拡散層の間の領域を覆って設けられた第 2 の絶縁膜と、前記第 2 の絶縁膜の上に設けられた第 2 のゲート電極と、

を備え、

前記第 1 及び第 2 の拡散層と、前記第 1 の絶縁膜と、前記第 1 のゲート電極よりなる 1 つのメモリセルトランジスタが第 1 のメモリセルをなし、

前記第 2 及び第 3 の拡散層と、前記第 2 の絶縁膜と、前記第 2 のゲート電極よりなる 1 つのメモリセルトランジスタが第 2 のメモリセルをなし、

前記第 1 及び第 2 のゲート電極は、それぞれ第 1 及び第 2 のワード線に接続されるか、あるいは、互いに共通接続されて 1 本のワード線をなし、

前記第 1 の拡散層は、前記基板上層に配設されている、第 1 のビット線にコンタクトで接続され、

前記第 2 の拡散層は、前記基板上層に配設されている、第 2 のビット線にコン

タクトで接続され、

前記第 3 の拡散層は、前記基板上層に配設されている、第 3 のビット線にコンタクトで接続されている半導体記憶装置の制御方法であって、

書き込み時には、書き込み対象のメモリセルのゲート電極に接続する前記ワード線に第 1 の正電圧を印加し、書き込み対象のメモリセルに接続する前記第 2 のビット線に、前記第 1 の正電圧よりも低電圧の第 2 の正電圧を所定期間、書き込み用電圧として印加し、前記第 1 のビット線と前記第 3 のビット線のうち書き込み対象のメモリセルに接続する一方を接地電位とし、他方のビット線を書き込み禁止用の第 3 の正電圧に設定し、前記メモリセルの絶縁膜に、チャネル・ホットエレクトロンの注入を行う工程を含む、

ことを特徴とする半導体記憶装置の制御方法。

【請求項 2 8】

書き込み時には、前記セルアレイの一端から他端にわたって延在されている前記第 2 ビット線の長手方向の両端から前記書き込み用の前記第 2 の正電圧を印加する工程を含む、ことを特徴とする、請求項 2 7 記載の半導体記憶装置の制御方法。

【請求項 2 9】

消去時に、消去対象のメモリセルのゲート電極に接続するワード線に接地電位又は負電圧を印加し、書き込み対象のメモリセルに接続する前記第 2 のビット線に前記第 1 の正電圧を消去電圧として印加して、ホットホールを発生させて前記メモリセルの絶縁膜に注入させ、前記メモリセルの絶縁膜に捕獲された電荷を中和させる工程を含む、ことを特徴とする、請求項 2 7 又は 2 8 記載の半導体記憶装置の制御方法。

【請求項 3 0】

読み出し時に、読み出し対象のメモリセルのゲート電極に接続されるワード線に第 4 の正電圧を印加し、前記読み出し対象のメモリセルに接続する前記第 2 のビット線に接地電位を印加し、前記第 1 と第 3 のビット線のうち読み出し対象のメモリセルに接続するビット線に読み出し電圧を印加する工程を含む、ことを特徴とする、請求項 2 7 又は 2 8 記載の半導体記憶装置の制御方法。

【請求項 3 1】

読み出し時に、読み出し対象のメモリセルに接続する前記第 2 のビット線に第 5 の正電圧を読み出し電圧として印加し、前記第 1 と第 3 のビット線のうち読み出し対象のメモリセル接続されるビット線に接地電位を印加する工程と、

読み出し対象のメモリセルトランジスタの 2 つの拡散層間に流れる電流の大きさによって、読み出し対象のメモリセルが、書き込まれたセルであるか未書き込みのセルであるかを判定する工程と、

を含む、ことを特徴とする、請求項 2 7 又は 2 8 記載の半導体記憶装置の制御方法。

【請求項 3 2】

基板上に絶縁膜とゲート電極とを形成し、パターン形成されたゲート電極をマスクとして不純物を基板表面に注入することで拡散層を形成する工程であって、第 1 のゲート電極の一侧に位置する第 1 の領域と、前記第 1 のゲート電極の前記一侧とは反対側に位置する第 2 のゲート電極との間の第 2 の領域と、前記第 2 のゲート電極の前記第 2 の領域とは反対側に位置する第 3 の領域とに、それぞれ、第 1 乃至第 3 の拡散層を形成する工程と、

前記第 1 及び第 2 のゲート電極のうち少なくとも 1 つのゲート電極直下の前記第 2 の拡散層の端部に、前記拡散層と逆極性の不純物領域を形成する工程と、

基板を絶縁膜で覆い、前記絶縁膜をエッチバック除去して、第 1 及び第 2 のゲート側壁に、前記絶縁膜よりなるスペーサを形成する工程と、

基板上に金属膜を堆積してシリサイド化しゲート電極表面及び拡散層表面に金属シリサイド層を形成する工程と、

を含み、

前記第 1 及び第 2 の拡散層と、前記第 1 のゲート電極の下の前記絶縁膜と、前記第 1 のゲート電極よりなる 1 つのメモリセルトランジスタが第 1 のメモリセルをなし、

前記第 2 及び第 3 の拡散層と、前記第 2 ゲート電極の下の前記絶縁膜と、前記第 2 のゲート電極よりなる 1 つのメモリセルトランジスタが第 2 のメモリセルをなし、

前記第 1 及び第 2 のゲート電極は、共通接続されて 1 本のワード線をなしており、

さらに、

基板を絶縁膜で覆い、前記第 1 乃至第 3 の拡散層の位置にコンタクト用の第 1 乃至第 3 の孔をあける工程と、

前記コンタクト用の第 1 乃至第 3 の孔に導電材料を充填する工程と、

前記第 1 及び第 3 の拡散層が、前記基板上層に配設される、第 1 及び第 3 のビット線にそれぞれ接続され、前記第 2 の拡散層が、前記基板上層に配設される、第 2 のビット線にコンタクトで接続される工程と、

を含む、ことを特徴とする、半導体記憶装置の製造方法。

【請求項 3 3】

前記第 1 のゲート電極直下の前記第 1 の拡散層の端部、及び／又は、前記第 2 のゲート電極直下の前記第 3 の拡散層の端部に、前記拡散層のいずれとも同一極性であり、且つ、前記拡散層よりも低濃度の不純物領域を形成する工程を含む、ことを特徴とする、請求項 3 2 記載の半導体記憶装置の製造方法。

【請求項 3 4】

前記第 1 のゲート電極直下の前記第 2 の拡散層と前記第 1 の拡散層の間の基板表面、及び／又は、前記第 2 のゲート電極直下の前記第 2 の拡散層と前記第 3 の拡散層の間の基板表面に、前記拡散層と逆極性の不純物領域を形成する工程を含む、ことを特徴とする、請求項 3 2 記載の半導体記憶装置の製造方法。

【請求項 3 5】

基板上に絶縁膜とゲート電極とを形成し、パタン形成されたゲート電極をマスクとして相対的に低濃度の不純物領域を形成する工程であって、相隣る第 1、第 2 のゲート電極について、前記第 1 のゲート電極の一侧に位置する第 1 の領域と、前記第 1 のゲート電極の前記一侧とは反対側に位置する第 2 のゲート電極との間の第 2 の領域と、及び、前記第 2 のゲート電極の前記第 2 の領域とは反対側に位置する第 3 の領域とのうち、少なくとも前記第 1 及び第 3 の領域に、相対的に低濃度の不純物領域を形成する工程と、

相隣る第 1 及び第 2 のゲート電極の間の前記第 2 の領域に第 2 の拡散層を形成

する工程と、

前記第1及び第2のゲート電極のうち少なくとも1つのゲート電極直下の前記第2の拡散層の端部に、前記拡散層と逆極性の不純物領域を形成する工程と、

基板を絶縁膜で覆い、前記絶縁膜をエッチバック除去して、前記第1及び第2のゲート側壁に、前記絶縁膜よりなるスペーサを形成する工程と、

基板表面の前記第1の領域及び前記第3の領域に、それぞれ、第1と第3の拡散層を形成する工程と、

を含み、

前記第1及び第3の拡散層に隣接して、前記第1、第2のゲート側壁のスペーサ直下に、相対的に低濃度の第1、第3の不純物領域を有し、

基板上に金属膜を堆積し、ゲート電極表面及び拡散層表面にシリサイド層を形成する工程を含み、

前記第1及び第2の拡散層と、前記第1のゲート電極の下の前記絶縁膜と、前記第1のゲート電極よりなる1つのメモリセルトランジスタが第1のメモリセルをなし、

前記第2及び第3の拡散層と、前記第2ゲート電極の下の前記絶縁膜と、前記第2のゲート電極よりなる1つのメモリセルトランジスタが第2のメモリセルをなし、

前記第1及び第2のゲート電極は、共通接続されて1本のワード線をなしており、

さらに、

基板を絶縁膜で覆い、前記第1乃至第3の拡散層の位置にコンタクト用の第1乃至第3の孔をあける工程と、

前記コンタクト用の第1乃至第3の孔に導電材料を充填する工程と、

前記第1及び第3の拡散層が、前記基板上層に配設される、第1及び第3のビット線にそれぞれ接続され、前記第2の拡散層が、前記基板上層に配設される、第2のビット線にコンタクトで接続される工程と、

を含む、ことを特徴とする、半導体記憶装置の製造方法。

【請求項36】

基板上に絶縁膜とゲート電極とを形成し、パタン形成されたゲート電極をマスクとして相対的に低濃度の不純物領域を形成する工程であって、相隣る第 1、第 2 のゲート電極について、前記第 1 のゲート電極の一侧に位置する第 1 の領域と、前記第 1 のゲート電極の前記一侧とは反対側に位置する第 2 のゲート電極との間の第 2 の領域と、前記第 2 のゲート電極の前記第 2 の領域とは反対側に位置する第 3 の領域とに、それぞれ、相対的に低濃度の不純物領域を形成する工程と、

前記第 1 及び第 2 のゲート電極のうち少なくとも 1 つのゲート電極直下の不純物領域の端部に、前記不純物領域とは逆極性の不純物領域を形成する工程と、

基板を絶縁膜で覆い、前記絶縁膜をエッチバック除去して、第 1 及び第 2 のゲート側壁に、スペーサを形成する工程と、

基板表面の前記第 1 乃至第 3 の領域に、第 1 乃至第 3 の拡散層を形成する工程と、

を含み、

前記第 1 及び第 2 の拡散層に隣接して、前記第 1 のゲートの側壁のスペーサ直下に、前記拡散層と同一極性とされ、且つ相対的に低濃度の第 1、第 2 の不純物領域を有し、

前記第 2 及び第 3 の拡散層に隣接して、前記第 2 のゲートの側壁のスペーサ直下に、前記拡散層と同一極性とされ、相対的に低濃度の第 3、第 4 の不純物領域を有し、

前記第 2 の拡散層の両端の前記第 2、第 3 の不純物領域に隣接して、前記第 2、第 3 の不純物領域とは逆極性の第 5、第 6 の不純物領域を有し、

基板上に金属膜を堆積し、ゲート電極表面及び拡散層表面にシリサイド層を形成する工程を含み、

前記第 1 及び第 2 の拡散層と、前記第 1 のゲート電極の下の前記絶縁膜と、前記第 1 のゲート電極よりなる 1 つのメモリセルトランジスタが第 1 のメモリセルをなし、

前記第 2 及び第 3 の拡散層と、前記第 2 ゲート電極の下の前記絶縁膜と、前記第 2 のゲート電極よりなる 1 つのメモリセルトランジスタが第 2 のメモリセルをなし、

前記第 1 及び第 2 のゲート電極は、共通接続されて 1 本のワード線をなしており、

さらに、

基板を絶縁膜で覆い、前記第 1 乃至第 3 の拡散層の位置にコンタクト用の第 1 乃至第 3 の孔をあける工程と、

前記コンタクト用の第 1 乃至第 3 の孔に導電材料を充填する工程と、

前記第 1 及び第 3 の拡散層が、前記基板上層に配設される、第 1 及び第 3 のビット線にそれぞれ接続され、前記第 2 の拡散層が、前記基板上層に配設される、第 2 のビット線にコンタクトで接続される工程と、

を含む、ことを特徴とする、半導体記憶装置の製造方法。

【請求項 3 7】

前記第 1 のゲート電極直下の、前記第 1 の拡散層の端部、及び／又は、前記第 2 のゲート電極直下の、前記第 3 の拡散層の端部に、前記拡散層と逆極性の不純物領域を形成する工程をさらに含む、ことを特徴とする、請求項 3 2 記載の半導体記憶装置の製造方法。

【請求項 3 8】

前記第 1 のゲート電極直下の、前記第 1 の拡散層に隣接して設けられた前記第 1 の不純物領域、及び／又は、前記第 2 のゲート電極直下の、前記第 3 の拡散層に隣接して設けられた前記第 4 の不純物領域に隣接して、前記拡散層と逆極性の不純物領域を形成する工程をさらに含む、ことを特徴とする、請求項 3 5 記載の半導体記憶装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、不揮発性半導体記憶装置に関し、特に、MONOS 型フラッシュメモリに関する。

【0 0 0 2】

【従来の技術】

この種の不揮発性半導体記憶装置として、例えば特開平 5 - 1 7 4 5 8 3 号公

報には、1つのメモリセルが、アドレスゲート電極とメモリゲート電極を備えたスプリットゲート型の不揮発性半導体記憶装置において、スタックゲート型メモリセルと同程度の高集積化を可能としたX型セルの構成が開示されている。図16、図17を参照して、上記特開平5-174583号公報に記載されている不揮発性半導体記憶装置について説明する。4つのメモリセル310、320、330、340が、1個のコンタクト領域360を共有し、該領域360を中心としてX型の配置とされるレイアウト構成とされており、X型構造のレイアウト、あるいはX型セルと呼ばれている。なお、X型セルについては、例えば特開平5-343645号公報の記載も参照される。

【0003】

図16に示された部分回路図を参照すると、4つのメモリセル310、320、330、340が配置されており、メモリセル310、340は、図の左上と右下とを結ぶメモリセル列の一部を構成しており、メモリセル320、330は、図の右上と左下とを結ぶメモリセル列の一部を構成している。また、上下方向に延びる3本のビットライン B_{i-1} 、 B_i 、 B_{i+1} が示されている。

【0004】

ビットライン B_i は、ビットコンタクト360でメモリセル310、320、330、340のソース/ドレイン電極311、312；321、322；331、332；341、342のうちの各一方312、322、331、341に接続されている。

【0005】

ビットライン B_{i-1} は、ビットコンタクト361、362でそれぞれメモリセル310、330の各他方のソース/ドレイン電極311、332に接続されている。

【0006】

ビットライン B_{i+1} は、ビットコンタクト363、364で、メモリセル320、340の各他方のソース/ドレイン電極321、342に接続される。

【0007】

各メモリセルは、アドレス選択トランジスタと、メモリトランジスタ（図16

で○で囲った素子)の2つのトランジスタからなる。

【0008】

メモリセル310のメモリトランジスタ(メモリゲート電極314を有する)は、ビットコンタクト361を介してビットライン $B_i - 1$ に接続される。

【0009】

メモリセル320とメモリセル330のメモリトランジスタ(メモリゲート電極324、334を有する)は、ビットコンタクト360を介してビットライン B_i に接続される。

【0010】

メモリセル340のメモリトランジスタ(メモリゲート電極344を有する)は、ビットコンタクト364を介してビットライン $B_i + 1$ に接続される。

【0011】

メモリセル310、320のメモリトランジスタのメモリゲート電極314、324は、ワードライン W_1 で構成され、アドレス選択トランジスタのアドレスゲート電極313、323は、アドレスゲートライン X_1 で構成される。

【0012】

メモリセル330、340のメモリトランジスタのメモリゲート電極334、344は、ワードライン W_2 で構成され、アドレス選択トランジスタのアドレスゲート電極333、343は、アドレスゲートライン X_2 で構成される。

【0013】

図17は、図16の回路の半導体チップ上のレイアウト図である。アドレスゲートライン X_1 とワードライン W_1 とが互いに交叉している。同様に、アドレスゲートライン X_2 とワードライン W_2 も互いに交叉している。

【0014】

このようなレイアウトになる理由は、メモリトランジスタへの書き込みと消去動作に起因している。

【0015】

メモリセル320への書き込み動作を例にして説明する。メモリセル320のワードライン W_1 には9Vが印加され、ビットライン B_i には0V、ビットライ

ン B_{i+1} には 9 V が印加される。このとき、アドレスゲートライン X_1 には 0 V が印加される。これにより、メモリセル 320 に、書き込みが行われる（Fowler-Nordheim トンネル注入、「F-N トンネル注入」ともいう）。

【0016】

このとき、メモリセル 330 とメモリセル 340 のアドレスゲートライン X_2 とワードライン W_2 にはともに 0 V が印加され、F-N トンネル注入動作に入らないため、書き込まれることはない。

【0017】

また、メモリセル 310 のワードライン W_1 とアドレスゲートライン X_1 およびビットライン B_i は、メモリセル 320 と同一になっており、ビットライン B_{i-1} には、書き込み禁止電圧 9 V が印加されるため、メモリセル 310 への書き込みは起こらない。

【0018】

アドレスゲートライン X_1 とワードライン W_1 とが交叉している理由は、メモリセル 320 の書き込み動作の時に、メモリセル 310 への誤書き込みが発生しないようにするためである。すなわち、メモリセル 320 の書き込みの際、メモリセル 310 のメモリトランジスタへビットライン B_{i-1} から書き込み禁止電圧 9 V が印加できるように配列するための工夫である。

【0019】

1 つのメモリセルを 2 トランジスタ構成、すなわち、アドレスゲート電極とメモリゲート電極よりなるスプリット・ゲート構成としているのは、 X セルの F-N トンネル注入による書き込み（プログラム）を採用すると、隣接セルも同時にプログラムされるためである。この問題について、2 つの隣接メモリセルを模式的に示した図 18 を参照して説明する。図 18 において、1 は P 型半導体基板、2 A、2 B、2 C は N+ 拡散層、3 A、3 B を酸化シリコン膜、窒化シリコン膜、酸化シリコン膜よりなる ONO 膜、4 A、4 B をゲート電極とする。第 1 のメモリセルは、拡散層 2 A と 2 C、ONO 膜（酸化シリコン膜、窒化シリコン膜、酸化シリコン膜）3 A、ゲート電極 4 A よりなり、第 2 のメモリセルは、拡散層 2 B と 2 C、ONO 膜 3 B、ゲート電極 4 B よりなり、第 1、第 2 のメモリセル

のワード線が共通に接続されている。ワード線にしたがってゲート電極 4 A、4 B に高電圧を印加し、拡散層 2 C のコンタクトに接地電位 (0 V) を印加すると、第 1 のメモリセルに隣接する第 2 のメモリセルも同時にプログラムされる。このため、図 16、図 17 に示したように、メモリセルは、アドレス選択トランジスタと、メモリトランジスタの 2 トランジスタ構成とされている。

【0020】

図 16 及び図 17 を参照して説明した構成においては、1 つのメモリセルを、アドレス選択トランジスタとメモリトランジスタの 2 つの素子で構成しているため、メモリセルサイズが大きくなる。

【0021】

また、図 16 及び図 17 を参照して説明した構成においては、非書き込み対象のメモリセルには書き込み禁止電圧を印加し、非書き込み対象のメモリセルへの複数の同時書き込みが発生しないようにするために、アドレスゲートラインとワードラインを交叉させる構造が必須とされており、加工技術上で、非常に難しい。

【0022】

また、図 16 及び図 17 を参照して説明した構成においては、アドレスゲートラインとワードラインの重なり部分があるため、ロジックなどで標準的に用いられている、シリサイド/サリサイド・プロセスの適用は困難である。

【0023】

他の従来技術として、米国特許第 6, 256, 231 号に開示されている構成について説明する。この従来技術は、図 19 に示すように、1 メモリセルトランジスタに、2 ビットの記憶ノード 26、28 を持たせ、メモリセルの集積化を図るものである。図 19 において、12 は P 型シリコン基板、14、16 はソース、ドレイン拡散層、18、20、22 はそれぞれ酸化シリコン膜、窒化シリコン膜、酸化シリコン膜であり、これらは ONO 膜をなし、24 はゲート電極である。この従来技術のメモリセルのアレイ構成は、図 20 に示すように、P 型シリコン基板 1110 上に、埋め込み N 型拡散層 1101、1102、1103 が形成されており、ビット線として用いられる。また N 型拡散層 1101、1102、

1 1 0 3 上には、酸化シリコン膜 1 1 2 4 が形成される。隣り合う N 型拡散層の間、例えば、N 型拡散層 1 1 0 1 と 1 1 0 2、N 型拡散層 1 1 0 2 と 1 1 0 3、N 型拡散層 1 1 0 3 と図示されない隣りの拡散層の間には、それぞれ、ONO 膜 1 1 1 1、1 1 1 2、1 1 1 3 が形成され、メモリセルに注入された電子を捕獲する機能を果たす。

【 0 0 2 4 】

酸化シリコン膜 1 1 2 4 及び ONO 膜 1 1 1 1 ~ 1 1 1 3 上には、不純物のドーパされたポリシリコン 1 1 2 6 と金属シリサイド 1 1 2 7 よりなるワード線が形成されている。

【 0 0 2 5 】

しかしながら、図 2 0 に示した構成は、一般的に用いられている、W、Mo、Ta、Ti 等の高融点金属、あるいは、Co 等の準貴金属によるシリサイドプロセスを適用することが、特段に、困難な構造となっている。

【 0 0 2 6 】

すなわち、N 型拡散層上に形成されている酸化シリコン膜 1 1 2 4 及びシリコン基板上に形成されている ONO 膜 1 1 1 1 ~ 1 1 1 3 は、比較的薄い膜である。一方、後述するように、一般的に、高融点金属を用いて金属シリサイド層を形成する前に、サイドウォールスペーサが形成される。これは、金属シリサイド層によって、ゲート電極と N 型拡散層とが電氣的に短絡しないように、電氣的な絶縁を施す必要があるためである。

【 0 0 2 7 】

サイドウォールスペーサの形成には、一般に、CVD (Chemical Vapor Deposition) 等で酸化シリコン膜を基板上に堆積し、RIE (Reactive Ion Etching) 等のドライエッチングによるエッチバックプロセスを用いて行われる。このエッチバックの工程で、比較的薄い ONO 膜 1 1 1 1 ~ 1 1 1 3 や酸化シリコン膜 1 1 2 4 はエッチング除去され、N 型拡散層やシリコン基板 1 1 1 0 が露出する。

【 0 0 2 8 】

こうなると、基板全面に被着される高融点金属によって、N 型拡散層とシリコ

ン基板が電氣的に短絡してしまうため、動作不良となる。つまり、図 2 0 に示した、従来技術のメモリセルアレイ構成では、シリサイド化は極めて困難である。

【 0 0 2 9 】

なお、ホットエレクトロン注入により書き込みが行われ、単一ポリシリコンを用いた、ONOゲート誘電体膜を有する単一トランジスタ構成のEEPROMとして、文献(T.Y.CHAN他, "A True Single-Transistor Oxide-Nitride-Oxide EEPROM device," IEEE EDL-8, No.3, 1987,P.93)等の記載も参照される。

【 0 0 3 0 】

【発明が解決しようとする課題】

したがって、本発明の目的は、メモリセルサイズの縮減し、シリサイド化を容易とし、書き込み動作に必要な電圧を低く抑えることを可能とする半導体記憶装置及びその製造方法を提供することにある。

【 0 0 3 1 】

【課題を解決するための手段】

前記目的を達成する本発明の1つのアスペクト(側面)に従う半導体記憶装置は、複数の単位セルを有し、4つの単位セルが、1つのコンタクト領域を共有し、前記コンタクト領域を中心としてX型に配置されるレイアウト構成のセルアレイを有する半導体記憶装置において、前記単位セルは、基板表面に互いに離間して設けられている第1及び第2の拡散層と、基板上に前記第1及び第2の拡散層の間の領域を覆って形成され、電荷捕膜を含む絶縁膜と、前絶縁膜の上に設けられワード線電極をなすゲート電極と、を有する1つのメモリトランジスタで構成され、前記単位セルの前記第1の拡散層及び/又は前記第2の拡散層は、前記単位セルに隣接する単位セルと共用され、前記第1の拡散層は、前記基板上層に配設されている、読み出し用の第1のビット線に接続され、前記第2の拡散層は、前記基板上層に配設されている、書き込み及び消去用の第2のビット線に接続されており、書き込み時には、書き込み対象の前記単位セルに接続する前記ワード線に所定の正電圧が印加され、前記単位セルに接続する前記第2のビット線に書き込み用の正電圧が印加され、前記単位セルに接続する前記第1のビット線が接地電位とされ、前記絶縁膜へチャネル・ホットエレクトロンの注入が行われるこ

とで、前記単位セルへの書き込みが行われ、消去時には、消去対象の前記単位セルに接続する前記ワード線が接地電位とされ、前記単位セルに接続する前記第2のビット線に正電圧が印加され、前記絶縁膜へホットホールが注入され電荷を中和することで消去が行われる。

【0032】

このように、本発明においては、前記単位セルへの書き込みは、前記第1の絶縁膜へのホットエレクトロンの注入で行われ、消去は、前記第1の絶縁膜へホットホールを注入し電荷を中和することで行われ、Xセルのメモリセルを1つのトランジスタで構成可能としている。

【0033】

本発明の他のアスペクト（側面）に従う半導体記憶装置は、複数のメモリセルを有するセルアレイを有し、前記セルアレイ内の相隣る2つのメモリセルが、基板表面に互いに離間して設けられた第1乃至第3の拡散層と、基板上に前記第1の拡散層及び前記第2の拡散層の間の領域を覆って設けられた第1の絶縁膜と、前記第1の絶縁膜の上に設けられた第1のゲート電極と、前記基板上に、前記第2の拡散層及び前記第3の拡散層の間の領域を覆って設けられた第2の絶縁膜と、前記第2の絶縁膜の上に設けられた第2のゲート電極と、を備え、前記第1及び第2の拡散層と、前記第1の絶縁膜と、前記第1のゲート電極よりなる1つのメモリセルトランジスタが第1のメモリセルをなし、前記第2及び第3の拡散層と、前記第2の絶縁膜と、前記第2のゲート電極よりなる1つのメモリセルトランジスタが第2のメモリセルをなし、前記第1及び第2のゲート電極は、第1及び第2のワード線にそれぞれ接続されるか、共通接続されて1本のワード線電極をなし、前記第1の拡散層は、前記基板上層に配設されている、読み出し用の第1のビット線にコンタクトで接続され、前記第2の拡散層は、前記基板上層に配設されている、書き込み及び消去用の第2のビット線にコンタクトで接続され、前記第3の拡散層は、前記基板上層に配設されている、読み出し用の第3のビット線にコンタクトで接続されている。本発明において、前記第1及び第2の絶縁膜が、電荷捕獲膜を含む。

【0034】

本発明において、書き込み時には、書き込み対象のメモリセルに接続する前記ワード線に所定の正電圧を印加し、書き込み対象のメモリセルに接続する前記書き込み及び消去用の第2のビット線に、書き込み用の正電圧を印加し、前記第1、第3の読み出し用のビット線のうち書き込み対象のメモリセルの拡散層に接続する一方を接地電位とし、他方を書き込み禁止用の電圧に設定する。本発明において、好ましくは、書き込み時には、前記書き込み及び消去用の第2のビット線の両側から前記書き込み用の正電圧が印加され、書き込み電流供給能力が増加される。すなわち、一端から第2のビット線に供給する書き込み電圧を低く抑えることができる。

【 0 0 3 5 】

本発明において、好ましくは、前記ゲート電極が、多結晶シリコンの表面を高融点金属または準貴金属をシリサイド化してなる金属シリサイド層を有する。また、本発明において、好ましくは、前記拡散層の表面が高融点金属または準貴金属でシリサイド化されている。

【 0 0 3 6 】

本発明において、前記第1及び第2のゲート電極のうち少なくとも1つのゲート電極直下の前記第2の拡散層の端部に、前記拡散層と逆極性の不純物領域を有する。

【 0 0 3 7 】

本発明において、前記第1のゲート電極直下の前記第1の拡散層の端部、及び又は、前記第2のゲート電極直下の前記第3の拡散層の端部に、前記拡散層よりも不純物濃度が低く、且つ、前記拡散層と同一極性の不純物領域を有する。

【 0 0 3 8 】

本発明において、前記第1のゲート電極及び／又は第2のゲート電極直下の前記第2の拡散層の端部に、それぞれ前記拡散層と同一極性の第1の不純物領域を有し、前記第1の不純物領域の端部に、前記拡散層と逆極性の第2の不純物領域を有する。

【 0 0 3 9 】

本発明において、前記第1のゲート電極直下の前記第2の拡散層の端部と前記

第 1 の拡散層の間、及び／又は、前記第 2 のゲート電極直下の前記第 2 の拡散層の端部と前記第 3 の拡散層の間に、前記拡散層と逆極性の不純物領域を有する。

【 0 0 4 0 】

本発明の別のアスペクトに係る半導体記憶装置の製造方法は、

基板上に絶縁膜とゲート電極とを形成し、パタン形成されたゲート電極をマスクとして不純物を基板表面に注入することで拡散層を形成する工程であって、第 1 のゲート電極の一侧に位置する第 1 の領域と、前記第 1 のゲート電極の前記一侧とは反対側に位置する第 2 のゲート電極との間の第 2 の領域と、前記第 2 のゲート電極の前記第 2 の領域とは反対側に位置する第 3 の領域とに、それぞれ、第 1 乃至第 3 の拡散層を形成する工程と、

前記第 1 及び第 2 のゲート電極のうち少なくとも 1 つのゲート電極直下の前記第 2 の拡散層の端部に、前記拡散層と逆極性の不純物領域を形成する工程と、

基板を絶縁膜で覆い、前記絶縁膜をエッチバック除去して、第 1 及び第 2 のゲート側壁に、前記絶縁膜よりなるスペーサを形成する工程と、

基板上に金属膜を堆積してシリサイド化しゲート電極表面及び拡散層表面に金属シリサイド層を形成する工程と、

を含み、前記第 1 及び第 2 の拡散層と、前記第 1 のゲート電極の下の前記絶縁膜と、前記第 1 のゲート電極よりなる 1 つのメモリセルトランジスタが第 1 のメモリセルをなし、前記第 2 及び第 3 の拡散層と、前記第 2 ゲート電極の下の前記絶縁膜と、前記第 2 のゲート電極よりなる 1 つのメモリセルトランジスタが第 2 のメモリセルをなし、前記第 1 及び第 2 のゲート電極は共通接続されて 1 本のワード線をなしており、

さらに、

基板を絶縁膜で覆い、前記第 1 乃至第 3 の拡散層の位置にコンタクト用の第 1 乃至第 3 の孔をあける工程と、

前記コンタクト用の第 1 乃至第 3 の孔に導電材料を充填する工程と、

前記第 1 及び第 3 の拡散層が、前記基板上層に配設される、第 1 及び第 3 のビット線にそれぞれ接続され、前記第 2 の拡散層が、前記基板上層に配設される、第 2 のビット線にコンタクトで接続される工程と、

を含む。

【 0 0 4 1 】

【発明の実施の形態】

本発明の実施の形態について説明する。まず、本発明の半導体記憶装置は、4つのメモリセルが、1つのコンタクト領域を共有し、該コンタクト領域を中心としてX型の配置とされるレイアウト構成のセルアレイを有する半導体記憶装置において、図1を参照すると、共通のワード線に接続され、互いに相隣る2つのメモリセルが、基板表面に互いに離間して設けられた第1乃至第3の拡散層（2A、2C、2B）と、第1及び第2の拡散層（2A、2C）間の領域を覆うようにして基板上に設けられた第1の絶縁膜（3A）と、第1の絶縁膜（3A）の上に設けられた第1のゲート電極（4A）と、第2及び第3の拡散層（2B、2C）間の基板上に設けられた第2の絶縁膜（3B）と、第2の絶縁膜（3B）の上に設けられた第2のゲート電極（4B）と、を備え、第1、第2の拡散層（2A、2C）、第1の絶縁膜（3A）、及び第1のゲート電極（4A）よりなる1つのメモリセルトランジスタが第1のメモリセルをなし、第2、第3の拡散層（2C、2B）、第2の絶縁膜（3B）、及び第2のゲート電極（4B）よりなる1つのメモリセルトランジスタが第2のメモリセルをなし、第1及び第2のゲート電極（4A、4B）は共通接続されて1本のワード線をなし、第1の拡散層（2A）は、基板上層に配設される、読み出し用の第1のビット線にコンタクトで接続され、第2の拡散層（2C）は、基板上層に配設される書き込み及び消去用の第2のビット線にコンタクトで接続され、第3の拡散層（2B）は、基板上層に配設される読み出し用の第3のビット線にコンタクトで接続される。本発明において、第1及び第2の絶縁膜（3A、3B）は、ONO膜等、電荷捕獲膜を含む絶縁膜よりなる。なお、隣接する2つのメモリセルについて、例えば、後述する図4のMC1、MC4についてそれぞれのゲート電極（4A、4B）は、それぞれ別々のワード線に接続されている。図1に示した、ゲート電極が共通のワード線に接続されている2つのメモリセルとしては、例えば、後述する図4のメモリセルMC1とMC2等に対応している。

【 0 0 4 2 】

本発明の実施の形態に係る半導体記憶装置において、書き込み時には、書き込み対象のメモリセルに接続するワード線に、高電圧（H）を印加し、書き込み対象のメモリセルに接続する書き込み及び消去用のビット線（図3の104）に、書き込み用の正電圧（M）（Hより低電圧）を印加し、読み出し用の第1、第3のビット線のうち書き込み対象のメモリセルの拡散層に接続する一方を接地電位（L）とし、他方を書き込み禁止用の正電圧（M）に設定し、チャネル・ホットエレクトロンを、書き込み対象のメモリセルの絶縁膜（4A/4B）に注入する。その際、書き込み時には、セルアレイの一侧から他側にかけて延在されている、書き込み及び消去用の第2のビット線（図3の104）の長手方向の両側から前記書き込み電圧が印加される。消去対象のメモリセルに接続するワード線に接地電位又は負電圧が印加される。本発明の実施の形態において、消去対象のメモリセルに接続する第2のビット線に、消去用の正電圧が印加され、ホットホールを発生させ、前記メモリセルの絶縁膜にホットホールを注入し、該絶縁膜に捕獲されている電子の電荷を中和させることで、消去が行われる。

【0043】

本発明の実施の形態において、ゲート電極が多結晶シリコンの表面を高融点金属または準貴金属をシリサイド化してなる金属シリサイド層を有する。また、前記拡散層の表面（コンタクト領域）も、高融点金属または準貴金属でシリサイド化されている。

【0044】

本発明の実施の形態において、第1、第2のゲート電極直下の前記第2の拡散層の端部に、それぞれ、前記拡散層と逆極性の不純物領域（図6（B）の205）を有する。

【0045】

本発明の実施の形態において、前記第1、第2のゲート電極直下の前記第1、第3の拡散層の端部に、それぞれ、前記拡散層よりも不純物濃度が低く且つ前記拡散層と同一極性の不純物領域（図7（C）の204）を有する。

【0046】

本発明において、前記第1、第2のゲート電極直下の前記第2の拡散層の端部

に、それぞれ前記拡散層と同一電型の第1の不純物領域（図8（C）の214）を有し、前記第1の不純物領域の端部に、前記拡散層と逆極性の第2の不純物領域（図8（C）の215）を有する。

【0047】

本発明において、前記第1、第2のゲート電極直下の前記第2の拡散層の端部と前記第1、第3の拡散層の間に、それぞれ、前記拡散層と逆極性の不純物領域（図15の231）を有する。

【0048】

本発明に係る半導体記憶装置メモリセルアレイは、その好ましい実施の形態において、図3及び図4を参照すると、メモリセルを複数有するセルアレイ領域の基板表面に矩形形状の頂点に位置する4つの領域に互いに離間して設けられている第1乃至第4の拡散層を少なくとも有し、前記第1及び第3の拡散層が互いに第1の対角線上に位置し、前記第2及び第4の拡散層が第1の対角線に直交する第2の対角線上に位置し、前記第1及び第2の拡散層間の基板上に設けられた第1の絶縁膜と、前記第1の絶縁膜の上に設けられた第1のゲート電極と、前記第2及び第3の拡散層間の基板上に設けられた第2の絶縁膜と、前記第2の絶縁膜の上に設けられた第2のゲート電極と、前記第3及び第4の拡散層間の基板上に設けられた第3の絶縁膜と、前記第3の絶縁膜の上に設けられた第3のゲート電極と、前記第4及び第1の拡散層間の基板上に設けられた第4の絶縁膜と、前記第4の絶縁膜の上に設けられた第4のゲート電極と、を少なくとも含み、前記第1及び第2の拡散層と、前記第1の絶縁膜と、前記第1のゲート電極よりなる1つのメモリセルトランジスタが第1のメモリセル（MC1）をなし、前記第2及び第3の拡散層と、前記第2の絶縁膜と、前記第2のゲート電極よりなる1つのメモリセルトランジスタが、前記第1のメモリセルに隣接する第2のメモリセル（MC2）をなし、前記第3及び第4の拡散層と、前記第3の絶縁膜と、前記第3のゲート電極よりなる1つのメモリセルトランジスタが、前記第2のメモリセルに隣接する第3のメモリセル（MC3）をなし、前記第4及び第1の拡散層と、前記第4の絶縁膜と、前記第4のゲート電極よりなる1つのメモリセルトランジスタが、前記第1及び第3のメモリセルのそれぞれに隣接する第4のメモリセ

ル（MC 4）をなし、前記第 1 及び第 2 のゲート電極は、共通接続されて第 1 のワード線（1 0 2 - 1）をなし、第 3 及び第 4 のゲート電極は、共通接続されて第 2 のワード線（1 0 2 - 2）をなし、前記第 1 の拡散層は、前記基板上層で前記第 1 及び第 2 のワード線と立体交差して配設される読み出し用の第 1 のビット線（1 0 5 - 1）にコンタクト（1 0 3 A）で接続され、前記第 2 及び第 4 の拡散層は、前記基板上層で前記第 1 及び第 2 のワード線と立体交差して配設される共通の書き込み及び消去用の第 2 のビット線（1 0 4）にそれぞれコンタクト（1 0 3 B、1 0 3 D）を介して共通接続され、前記第 3 の拡散層は、前記基板上層で前記第 1 及び第 2 のワード線と立体交差して配設される読み出し用の第 3 のビット線（1 0 5 - 2）にコンタクト（1 0 3 C）で接続されている。

【0 0 4 9】

メモリセルへの書き込み時には、該メモリセルの拡散層にコンタクト（1 0 3 B、1 0 3 D）を介して接続する書き込み及び消去用の第 2 のビット線（図 3 の 1 0 4）の長手方向の両端から書き込み電圧が印加される。

【0 0 5 0】

上記のように構成された本発明の MONOS 型の X セルにおいては、図 1 6 及び図 1 7 等を参照して説明した従来技術におけるメモリセルのアドレス選択トランジスタを不用とし、1 メモリセル 1 トランジスタ構成として、ゲート電極配線を 1 層のポリシリコンで構成可能とした X セルを実現するものであり、製造を容易化している。

【0 0 5 1】

本発明によれば、MONOS 型 X セルにおいて、書き込み対象セルに対して、チャンネルホットエレクトロンによる書き込みを行うことで、書き込み対象セルに隣接するセルと別個に書き込みを分けることができる。

【0 0 5 2】

本発明に係る製造方法は、その一実施の形態において、

（a）基板上に絶縁膜とゲート電極とを形成し、パターン形成されたゲート電極をマスクとして不純物を基板表面に注入することで拡散層を形成する工程であって、第 1 のゲート電極の一侧に位置する第 1 の領域と、前記第 1 のゲート電極の

前記一側とは反対側に位置する第 2 のゲート電極との間の第 2 の領域と、前記第 2 のゲート電極の前記第 2 の領域とは反対側に位置する第 3 の領域とに、それぞれ、第 1 乃至第 3 の拡散層（図 1 1 (A) の 2 4 3）を形成する工程と、

(b) 前記第 1 及び第 2 のゲート電極のうち少なくとも 1 つのゲート電極直下の前記第 2 の拡散層の端部に、前記拡散層と逆極性の不純物領域（図 1 1 (B) の 2 4 4）を形成する工程と、

(c) 基板を絶縁膜で覆い、前記絶縁膜をエッチバック除去して、第 1 及び第 2 のゲート側壁に、前記絶縁膜よりなるスペーサ（図 1 1 (C) の 2 4 5）を形成する工程と、

(d) 基板上に金属膜を堆積してシリサイド化しゲート電極表面及び拡散層表面に金属シリサイド層（図 1 2 (A) の 2 4 6）を形成する工程と、

を含む。上記工程で作製された第 1 及び第 2 の拡散層と、前記第 1 のゲート電極の下の前記絶縁膜と、前記第 1 のゲート電極よりなる 1 つのメモリセルトランジスタが第 1 のメモリセルをなし、前記第 2 及び第 3 の拡散層と、前記第 2 ゲート電極の下の前記絶縁膜と、前記第 2 のゲート電極よりなる 1 つのメモリセルトランジスタが第 2 のメモリセルをなし、前記第 1 及び第 2 のゲート電極は、共通接続されて 1 本のワード線をなしている。

【 0 0 5 3 】

さらに、この実施の形態の製造方法においては、

(e) 基板を絶縁膜（図 1 2 (B) の 2 4 7）で覆い、前記第 1 乃至第 3 の拡散層の位置にコンタクト用の第 1 乃至第 3 の孔（図 1 2 (B) の 2 4 8）をあける工程と、

(f) 前記コンタクト用の第 1 乃至第 3 の孔に導電材料（図 1 2 (C) の 2 4 9）を充填する工程と、

を含む。前記第 1 及び第 3 の拡散層が、前記基板上層に配設される、第 1、及び第 3 のビット線（図 1 0 の 1 0 5 - 1、1 0 5 - 2）にそれぞれ接続され、前記第 2 の拡散層が、前記基板上層に配設される第 2 のビット線（図 1 0 の 1 0 4）にコンタクトで接続される。

【 0 0 5 4 】

本発明の別の実施の形態の製造方法においては、前記第 1 のゲート電極直下の前記第 1 の拡散層の端部、及び／又は、前記第 2 のゲート電極直下の前記第 3 の拡散層の端部に、前記拡散層のいずれとも同一極性であり、且つ、前記拡散層よりも低濃度の不純物領域（図 7（C）の 2 0 7）を形成する工程を含む。

【 0 0 5 5 】

本発明の別の実施の形態の製造方法においては、前記第 1 のゲート電極直下の前記第 2 の拡散層と前記第 1 の拡散層の間の基板表面、及び／又は、前記第 2 のゲート電極直下の前記第 2 の拡散層と前記第 3 の拡散層の間の基板表面に、前記拡散層と逆極性の不純物領域（図 1 5 の 2 3 1）を形成する工程を含む。

【 0 0 5 6 】

本発明の別の実施の形態の製造方法においては、

（a）基板上に絶縁膜とゲート電極とを形成し、パターン形成されたゲート電極（図 8（A）の 2 1 3）をマスクとして相対的に低濃度の不純物領域を形成する工程であって、相隣る第 1、第 2 のゲート電極について、前記第 1 のゲート電極の一侧に位置する第 1 の領域と、前記第 1 のゲート電極の前記一侧とは反対側に位置する第 2 のゲート電極との間の第 2 の領域と、及び、前記第 2 のゲート電極の前記第 2 の領域とは反対側に位置する第 3 の領域とのうち、少なくとも前記第 1 及び第 3 の領域に、相対的に低濃度の不純物領域（図 8（A）の 2 1 4）を形成し、

相隣る第 1 及び第 2 のゲート電極の間の前記第 2 の領域に第 2 の拡散層（図 8（A）の 2 1 6）を形成し、

前記第 1 及び第 2 のゲート電極のうち少なくとも 1 つのゲート電極直下の前記第 2 の拡散層の端部に、前記拡散層と逆極性の不純物領域（図 8（A）の 2 1 5）を形成する工程と、

（b）基板を絶縁膜で覆い、前記絶縁膜をエッチバック除去して、前記第 1 及び第 2 のゲート側壁に、前記絶縁膜よりなるスペーサ（図 8（B）の 2 1 7）を形成する工程と、

（c）基板表面の前記第 1 の領域及び前記第 3 の領域に、それぞれ、第 1 と第 3 の拡散層（2 1 8）を形成する工程と、を含む。

【 0 0 5 7 】

本発明の別の実施の形態の製造方法においては、

(a) 基板上に絶縁膜とゲート電極とを形成し、パターン形成されたゲート電極をマスクとして相対的に低濃度の不純物領域を形成する工程であって、相隣る第1、第2のゲート電極について、前記第1のゲート電極の一侧に位置する第1の領域と、前記第1のゲート電極の前記一侧とは反対側に位置する第2のゲート電極との間の第2の領域と、前記第2のゲート電極の前記第2の領域とは反対側に位置する第3の領域とに、それぞれ、相対的に低濃度の不純物領域(図9(A)の214)を形成し、

前記第1及び第2のゲート電極のうち少なくとも1つのゲート電極直下の不純物領域の端部に、前記不純物領域とは逆極性の不純物領域(図9(A)の215)を形成する工程と、

(b) 基板を絶縁膜で覆い、前記絶縁膜をエッチバック除去して、第1及び第2のゲート側壁に、スペーサ(図9(B)の217)を形成する工程と、

(c) 基板表面の前記第1乃至第3の領域に、第1乃至第3の拡散層(図9(C)の218)を形成する工程と、

を含む。上記工程により、前記第1及び第2の拡散層に隣接して、前記第1のゲートの側壁のスペーサ(217)直下に、前記拡散層と同一極性とされ、且つ相対的に低濃度の第1、第2の不純物領域を有し、前記第2及び第3の拡散層に隣接して、前記第2のゲートの側壁のスペーサ直下に、前記拡散層と同一極性とされ、相対的に低濃度の第3、第4の不純物領域を有し、前記第2の拡散層の両端の前記第2、第3の不純物領域に隣接して、前記第2、第3の不純物領域とは逆極性の第5、第6の不純物領域が形成される(図9(C)参照)。

【 0 0 5 8 】

本発明の別の実施の形態の製造方法においては、前記第1のゲート電極直下の、前記第1の拡散層の端部と、前記第2のゲート電極直下の、前記第3の拡散層の端部に、前記拡散層と逆極性の不純物領域(図13(B)の225)を形成する工程をさらに含む。

【 0 0 5 9 】

本発明の別の実施の形態の製造方法においては、前記第 1 のゲート電極直下の、前記第 1 の拡散層に隣接して設けられた前記第 1 の不純物領域と、前記第 2 のゲート電極直下の、前記第 3 の拡散層に隣接して設けられた前記第 4 の不純物領域に隣接して、前記拡散層と逆極性の不純物領域（図 1 4（C）の 2 2 7 参照）を形成する工程をさらに含む。

【0 0 6 0】

【実施例】

上記した本発明についてさらに詳細に説明すべく、本発明の実施例について図面を参照して説明する。図 1 は、本発明の一実施例のメモリセルの構成を説明するための図であり、4 つのメモリセルが 1 つのコンタクト領域を共有し、該領域を中心に X 型にレイアウトされている X セルの隣接する 2 つのメモリセルの断面が模式的に示されている。すなわち、図 1（A）には、書き込み時のバイアス設定が示されており、図 1（B）には、消去時のバイアス設定の一例が示されている。図 1（A）において、各メモリセルは、1 セル 1 トランジスタ構成とされ、隣接する 2 つのメモリトランジスタの断面構成が模式的に示されている。拡散層 2 A、2 C と、絶縁膜 3 A、ゲート電極 4 A が 1 つのメモリセルトランジスタを構成し、拡散層 2 B、2 C と、絶縁膜 3 B、ゲート電極 4 B が他のメモリセルトランジスタを構成している。2 つのメモリセルのゲート電極 4 A、4 B は共通のワード線に接続されている。拡散層 2 A、2 B は、それぞれ読み出し専用端子（コンタクト）とされ、2 つのメモリセルで共有されている拡散層 2 C は書き込み消去用端子（コンタクト）とされている。

【0 0 6 1】

ワード線を高電圧（H）とし、書き込み対象の第 1 のメモリセルのドレイン拡散層 2 C に接続するビット線を M（所定の正電圧、ただし H より低電位）、ソース拡散層 2 A に接続するビット線を L（接地電位）とし、書き込み対象外の第 2 のメモリセルの拡散層 2 B に接続するビット線の電圧を M とすることで、チャネル・ホットエレクトロンを発生させ、書き込み対象の第 1 のメモリセルの絶縁膜 3 A に電子を注入させる。

【0 0 6 2】

次に図 1 (B) を参照して、消去について説明する。本実施例においては、ホットホール注入による消去を行うことで、隣接セルを同時に消去できる。図 1 (B) において、第 1、第 2 のメモリセルのゲート電極 4 A、4 B を L (接地電位、及び負電圧)、ドレイン拡散層 2 C を高電圧 (H) とすることで、ホットホールが絶縁膜 3 A、3 B に捕獲されている電子の電荷と中和する。このとき、拡散層 2 A、2 B の電位は接地レベルが好ましい。なお、絶縁膜 3 A、3 B は、好ましくは、酸化シリコン膜、窒化シリコン膜、酸化シリコン膜よりなる ONO 膜で構成される。

【 0 0 6 3 】

図 2 は、本発明の一実施例における隣接する 2 つのメモリセルの断面構成の一例を示す図である。図 2 に示すように、P 型シリコン基板上 1 上の ONO 膜 3 A、3 B の上に形成されるゲート電極 4 A、4 B を、1 層のポリシリコン構造とすることで、ゲート電極の高融点金属あるいは準貴金属を用いた金属シリサイド層 6 A、6 B、及び、拡散層コンタクトの金属シリサイド層 6 の形成を容易化している。かかる構成の本発明によれば、ロジックプロセス (ゲート及び拡散層コンタクトがシリサイド化される) との親和性を向上し、エムベデッドフラッシュメモリとして、用いることができる。

【 0 0 6 4 】

次に、本発明の一実施例におけるメモリセルアレイの構成について説明する。図 3 は、本発明の一実施例のメモリセルアレイのレイアウトの一例を示す図である。図 3 を参照すると、MONOS トランジスタを X 型構成のレイアウトとしたセルアレイは、その両側にバンク選択ゲート 1 0 7、1 0 8 を備え、バンクを構成している。図 3 において、1 0 1 は基板内に設けられる素子分離用の溝 (トレンチ: Shallow Trench Insulator) である。1 0 2 は、図 2 に示した、表面がシリサイド化されたゲート電極 (「シリサイドゲート」ともいう) である。1 1 0 は、第 2 アルミ配線層 (2 A 1) に配線されているグローバル書き込み/消去金属 (メタル) ビット線であり、スルーホール/コンタクト 1 0 9 - 1、1 0 9 - 2 を介して、バンク選択ゲート 1 0 7、1 0 8 をゲート電極とするバンク選択トランジスタ 1 1 1 - 1、1 1 1 - 2 のソース・ドレイン拡散層の一方に接

続されている。104は、第1アルミ配線層（1A1）に配線されている書き込み／消去金属（メタル）ビット線であり、コンタクト103を介して、バンク選択トランジスタ111-1、111-2のソース・ドレイン拡散層の他方に接続されている。105-1、105-2は、第1アルミ配線層（1A1）に配線されている、読み出し専用金属ビット線であり、メモリセルの拡散層に、コンタクト103で接続されている。セルアレイにおいて、読み出し専用金属ビット線105-1、105-2、書き込み／消去専用金属ビット線104、グローバル書き込み／消去専用金属ビット線110は、ワード線をなすシリサイドゲート（ワード線電極）102と直交して配設されている。

【0065】

コンタクト103Aで読み出し専用金属ビット線105-1に接続される拡散層と、コンタクト103Bで書き込み／消去専用金属ビット線104に接続される拡散層と、ゲート電極102-1からなる1つのメモリセルトランジスタが単位セル100を構成している。

【0066】

シリサイドゲート102のレイアウトパターンについて説明すると、単位セル100内において、読み出し専用金属ビット線105-1の下層を、読み出し専用金属ビット線105-1に直交して配置されたゲート102-1は、図の斜め方向に相対して位置するコンタクト103A、103Bを結ぶ仮想直線に直交するように、一旦、図の右方向に屈曲して延在された後、再び、反対方向に屈曲し、書き込み／消去専用金属ビット線104の下層を、書き込み／消去専用金属ビット線104に直交して配設されている。

【0067】

次に、本実施例のメモリセルアレイにおける書き込み動作について説明する。書き込み時に、第2アルミ配線層（2A1）のグローバル書き込み／消去専用金属ビット線110に、高電圧が印加され、また、セルアレイの両側のバンク選択トランジスタ111-1、111-2をオンすることで、バンク内の書き込み／消去専用金属ビット線104に、書き込み電圧が伝達される。書き込み電流は、図3に矢線で示すように、バンク選択トランジスタ111-1、111-2のチ

チャネル幅を大きくとることができるだけでなく、両側のバンク選択トランジスタ 111-1、111-2 から供給されるため、書き込み電流の不足になることはない。

【0068】

次に、本実施例のメモリセルアレイにおける消去動作について説明する。対象のメモリセルに接続するワード線に接地電位又は負電圧が印加され、グローバル書き込み／消去専用金属ビット線 110 に消去用の正電圧が印加され、バンク選択トランジスタ 111-1、及びバンク選択トランジスタ 111-2 をオンしてバンクの選択が行われ、バンク内の書き込み／消去専用金属ビット線 104 に、消去用の正電圧が印加され、ホットホールを発生させ、メモリセルの絶縁膜に捕獲された電子を中和させることで消去が行われる。

【0069】

次に、レイアウトを図 3 に示したセルアレイの回路構成について説明する。図 4 は、図 3 に示した部分回路の等価回路を示す図である。なお、図 4 では、説明の簡単のために、4 本のワード線、2 本の書き込み／消去専用金属ビット線、3 本の読み出し専用金属ビット線の構成を示したものであり、本発明はかかる構成に限定されるものでないことは勿論である。図 4 を参照すると、第 2 アルミ配線層 (2A1) のグローバル書き込み／消去専用金属ビット線 (金属ビット線) 110-1 に、ソース、ドレイン拡散層の一方がコンタクトで接続され、バンク内の書き込み／消去専用金属ビット線 104-1 に、ソース、ドレイン拡散層の他方がコンタクトで接続され、バンク選択線 107、108 にゲートが接続されたバンク選択トランジスタ 111-1、111-2 を備えている。

【0070】

バンク内の書き込み／消去専用金属ビット線 104-1、104-2 は、バンク内の第 1 アルミ配線層 (1A1) において、読み出し専用金属ビット線 105-1、105-2 の間、105-2、105-3 の間の領域にそれぞれ配設されている。

【0071】

ワード線 WL0 をゲート電極とし、読み出し専用金属ビット線 105-1 にド

レイン、ソース拡散層の一方がコンタクト103Aで接続され、書き込み／消去専用金属ビット線104-1にドレイン、ソース拡散層の他方がコンタクト103Bで接続される1つのメモリセルMC1がユニットセルをなしている。同様に、ワード線WL0がゲート電極をなし、読み出し専用金属ビット線105-2にドレイン、ソース拡散層の一方がコンタクト103Cで接続され、書き込み／消去専用金属ビット線104-1に、ドレイン、ソース拡散層の他方がメモリセルMC1と共通にコンタクト103Bで接続されているメモリセルMC2はユニットセルをなしている。

【0072】

ワード線WL1をゲート電極とし、読み出し専用金属ビット線105-1にドレイン、ソース拡散層の一方がメモリセルMC1と共通にコンタクト103Aで接続され、書き込み／消去専用金属ビット線104-1にドレイン、ソース拡散層の他方がコンタクト103Dで接続される1つのメモリセルMC3がユニットセルをなし、ワード線WL1がゲート電極をなし、読み出し専用金属ビット線105-2にドレイン、ソース拡散層の一方がメモリセルMC2と共通にコンタクト103Cで接続され、書き込み／消去専用金属ビット線104-1に、ドレイン、ソース拡散層の他方がメモリセルMC3と共通にコンタクト103Dで接続されるメモリセルMC4はユニットセルをなしている。このように、隣接するワード線WL0、WL1、相隣る読み出し専用金属ビット線105-1、105-2間には、4つのメモリセルMC1～MC4が配置されており、これらのセルは、それぞれが1トランジスタ構成とされ、それぞれが個別に、書き込み、及び読み出しが行える構成とされている。

【0073】

同様に、ワード線WL2をゲート電極とし、読み出し専用金属ビット線105-1にドレイン、ソース拡散層の一方が接続され、書き込み／消去専用金属ビット線104-1にドレイン、ソース拡散層の他方が接続される1つのメモリセルMC5と、ワード線WL2がゲート電極をなし、読み出し専用金属ビット線105-2にドレイン、ソース拡散層の一方が接続され、書き込み／消去専用金属ビット線104-1に、ドレイン、ソース拡散層の他方がメモリセルMC5と共通

に接続されるメモリセルMC6と、ワード線WL3をゲート電極とし、読み出し専用金属ビット線105-1にドレイン、ソース拡散層の一方が接続され、書き込み／消去専用金属ビット線104-1にドレイン、ソース拡散層の他方が接続されるメモリセルMC7と、ワード線WL3がゲート電極をなし、読み出し専用金属ビット線105-2にドレイン、ソース拡散層の一方が接続され、書き込み／消去専用金属ビット線104-1に、ドレイン、ソース拡散層の他方がメモリセルMC7と共通に接続されるメモリセルMC8とは、それぞれユニットセルをなしている。

【0074】

隣接する4つのメモリセルMC3、MC4、MC5、MC6は、1つのコンタクト103Dを共有しており、これらの4つのセルは、該コンタクト103Dを中心にX型にレイアウトされている。同様に、書き込み／消去専用金属ビット線104-1と読み出し専用金属ビット線105-2と間に接続され、ゲート電極がワード線WL0及びWL1にそれぞれ接続されているメモリセルMC2、MC4と、読み出し専用金属ビット線105-2と書き込み／消去専用金属ビット線104-2間に接続され、ゲート電極がワード線WL0及びWL1にそれぞれ接続されているメモリセルMC11、MC13とは、1つのコンタクト103Cを共有しており、これらの4つのセルは、該コンタクトを中心にX型にレイアウトされている。

【0075】

隣接する4つのメモリセルMC6、MC8、MC15、MC17は、読み出し専用金属ビット線105-2に接続する1つのコンタクトを共有し、これらの4つのセルも、該コンタクトを中心にX型にレイアウトされている。隣接する4つのメモリセルMC13、MC14、MC15、MC16は、書き込み／消去専用金属ビット線104-2に接続する1つのコンタクトを共有しており、これらの4つのセルも、該コンタクトを中心にX型にレイアウトされている。

【0076】

次に、図5及び図6を参照して、本発明の一実施例におけるXセル型のMONOSフラッシュメモリの製造方法について説明する。図5は、Xセル型のMON

OSフラッシュメモリのレイアウトの一部を示す図である。図6(A)乃至図6(C)は、図5のA-A'線(コンタクト領域E、D、Fに沿った線)の断面を製造工程順に示す工程断面図である。なお、図5及び図6は単に図面作成の都合で分図されたものである。図5を参照すると、P型シリコン基板上に、STI(Shallow Trench Insulator)素子分離101、ONO膜(不図示)を介してゲート電極102、コンタクト103、書き込み/消去専用金属ビット線104、読み出し専用金属ビット線105-1、105-2からなる。なお、ユニットセルは、図中100で示す。前述した通り、バンク内の書き込み/消去専用金属ビット線104は、第1アルミ配線層(1A1)に配線されメモリセルの拡散層にコンタクト103で接続されている。読み出し専用金属ビット線105-1、105-2は、第1アルミ配線層(1A1)に配線され、メモリセルの拡散層にコンタクト103で接続されている。

【0077】

図6(A)を参照すると、P型シリコン基板201上にONO膜202及びゲート電極203となる多結晶シリコン膜を順次形成する。しかるのち、パターン形成されたゲート電極203をマスクにしてイオン注入によりソース・ドレインとなるN型拡散層204を形成する(図6(A)参照)。

【0078】

次に、フォトリジスト209をマスクとして、ホウ素イオンを注入し、書き込み/消去専用金属ビット線に接続されるコンタクト領域D(図5の領域Bに対応する部分)のゲート電極203の端部直下に、P型ポケット注入層205を形成する(図6(B)参照)。ホウ素イオンの注入エネルギーは15Kev、ドーズ量は $3 \times 10^{13} \text{ cm}^{-2}$ とされる。不純物層の横方向及び縦方向の広がり、不純物活性化の熱処理(例えば、条件として800℃、10分間、窒素雰囲気)で広がりを持たせている。P型ポケット注入層205の形成は、斜めイオン注入を用いてもよい。ソースドレイン拡散層204に対するホウ素又はリン不純物の広がり一例として、好ましくは、10nm~100nm程度とされる。また、P型ポケット注入層205のイオン注入は、トランジスタのLDD(Lightly Doped Drain)注入と兼用することも出来る。このP型ポケット注入層205は、書き

込み及び消去効率を高めるために設けられている。

【0079】

つづいて、フォトリジスト209を除去した後、ゲートのサイドウォールスペーサ絶縁膜206を形成する（図6（C）参照）。例えばCVD法で酸化シリコン膜を基板全面に堆積したのち、酸化シリコン膜をエッチバック除去し、ゲート電極203の表面を露出させることで、サイドウォールスペーサが形成される。その後、高融点金属あるいは準貴金属を堆積し、シリサイド化することで、ゲート電極表面、及びコンタクト領域にシリサイド層が形成される。

【0080】

また、本発明に係る半導体記憶装置の製造においては、図7（A）乃至図7（D）に示すような製造方法も適用される。図7（A）は、図6（A）の工程と同一である。

【0081】

次に、フォトリジスト209をマスクとして、ホウ素イオンを注入し、書き込み／消去専用金属ビット線にコンタクト接続される領域D（図5の領域Bに対応する部分）のゲート電極203の端部直下に、P型ポケット注入層205を形成する（図7（B）参照）。これは、図6（B）の工程と同様とされるため、詳細は省略する。

【0082】

次に、フォトリジスト209を除去し、フォトリジスト210をマスクとして、読み出し専用金属ビット線にコンタクト接続されるN型拡散層領域のゲート電極203直下に、N型ポケット注入層207を形成する（図7（C）参照）。リンイオンを例えば注入エネルギー30Kev、ドーズ量 $3 \times 10^{13} \text{ cm}^{-2}$ でイオン注入する。

【0083】

このN型ポケット注入層207の形成（イオン注入）は、図示されない周辺トランジスタ（例えばセンスアンプのトランジスタ）のLDD注入と兼用するようにしてもよい。N型ポケット注入層207は、読み出し時に、端子拡散層に発生する電界を緩和し、ONO膜202への電子注入を抑制するためのものである。

【 0 0 8 4 】

次に、図 8 及び図 9 を参照して、本発明の実施例の別の製造方法について説明する。図 7 (A) 乃至図 7 (D) の製造フローにしたがって形成されるメモリセルと、図 8 及び図 9 に示した製造フローとの違いは、読み出し専用端子（読み出し専用金属ビット線に接続するコンタクト）の N 型拡散層 2 1 8 の形成（イオン注入）を、サイドウォールスペーサ 2 1 7 の形成後に行っている点である。

【 0 0 8 5 】

基板上に、ONO 膜 2 1 2、ゲート電極をなす多結晶シリコン膜を堆積し、パターン形成されたゲート電極 2 1 3 をマスクとして、低濃度の N + 不純物領域 2 1 4 を形成する。そして、図示されないフォトリジストをマスクとして、ホウ素イオンを注入し、書き込み消去専用金属ビット線とのコンタクト領域 2 1 6 側のゲート電極 2 1 3 直下に、P 型ポケット注入層 2 1 5 を形成する。さらに、書き込み／消去専用金属ビット線に接続するコンタクト領域 D の拡散層 2 1 6 を作成する（図 8 (A) 参照）。この P 型ポケット注入層 2 1 5 の形成は、図 6 (B) の工程と同様にして行われる。

【 0 0 8 6 】

つづいて、ゲート側壁にサイドウォールスペーサ（単に「スペーサ」ともいう）2 1 7 を作成する（図 8 (B) 参照）。

【 0 0 8 7 】

その後、読み出し専用端子の N 型拡散層 2 1 8 を形成する（図 8 (C) 参照）。その際、サイドウォールスペーサ 2 1 7 直下の基板表面には、N 型ポケット注入層 2 1 4 が形成されている。

【 0 0 8 8 】

図 8 (C) に示したように、N 型ポケット注入層 2 1 4 を備えたことにより、読み出し専用端子の N 型拡散層 2 1 8 に発生する読み出し時の電界を更に小さくすることができる。このため、ONO 膜 2 0 2 への電子注入を十分に抑制することが可能になる。

【 0 0 8 9 】

次に、図 9 (A) 乃至図 9 (C) を参照して、本発明の別の実施例の製造方法

について説明する。

【0090】

基板上にONO膜212、多結晶シリコン膜を堆積し、パタン形成されたゲート電極213をマスクとして、低濃度のN+不純物領域214を形成する。そして図示されないフォトリジストをマスクとして、P型ポケット注入層215を、書き込み／消去専用金属ビット線とのコンタクト領域216側のゲート電極203直下に形成する（図9（A）参照）。

【0091】

つづいて、ゲート側壁にサイドウォールスペーサ217を作成する（図9（B）参照）。

【0092】

その後、読み出し専用端子のN型拡散層218を形成する（図9（C）参照）。その際、サイドウォールスペーサ217直下の基板表面にはN型ポケット注入層214が形成されている。

【0093】

この製造フローにしたがって形成されるメモリセルは、読み出し専用端子に関する構造は、図8に示したものと同一であるが、書き込み／消去専用端子（書き込み／消去専用金属ビット線に接続するコンタクト領域）は、P型ポケット注入層215の内側に、N型ポケット注入層214を形成し、更に、サイドウォールスペーサ217を形成した後に、N型拡散層218を形成している。サイドウォールスペーサ217直下において、基板表面に、N型ポケット注入層214が形成されている。

【0094】

かかる構成により、図8（C）に示した構成と比べ、ONO膜212への書き込み電子の注入領域を、よりゲート電極213端部側に形成することができる。このため、メモリセルゲート長を小さくすることができる。

【0095】

図10は、本発明の一実施例のメモリセルアレイのレイアウト構成を示す図であり、書き込みを説明するために参照した図3に示したレイアウト構成と同様と

されてる。すなわち、メモリセルアレイの両端に、バンク選択トランジスタゲート 1 0 7、1 0 8、及び、各バンク内の書き込み／消去専用金属ビット線 1 0 4 とバンク選択トランジスタ 1 1 1 - 1、1 1 1 - 2 を介して電氣的に接続されるグローバル書き込み／消去専用金属ビット線 1 1 0 を有する。グローバル書き込み／消去専用金属ビット線 1 1 0 は第 2 アルミ配線層に配線される。

【0 0 9 6】

複数本のメモリセルゲート電極 1 0 2 の両側に配置されるバンク選択ゲート 1 0 7、1 0 8 で挟まれたメモリセルアレイがバンクを構成する。

【0 0 9 7】

書き込み及び消去動作において、各バンクのメモリセルは、両側のバンク選択トランジスタ 1 1 1 - 1、1 1 1 - 2 が選択され、所定の電圧が印加されたとき、バンク選択トランジスタ 1 1 1 - 1、1 1 1 - 2 を介して所定の電圧が印加される。このため、バンク選択トランジスタ 1 1 1 - 1、1 1 1 - 2 のチャネル幅は、等価的に 2 倍になり、電流駆動能力が倍増し、書き込みや消去動作特性を損なうことがない。

【0 0 9 8】

また隣接するバンクは、バンク選択トランジスタのスルーホール／コンタクト 1 0 9 を挟んで反対側に配置される（不図示）。

【0 0 9 9】

非選択のバンクは、バンク選択ゲート 1 0 7、1 0 8 の電位が接地電位とされるため、グローバル書き込み／消去専用金属ビット線 1 1 0 と、バンク内の書き込み／消去専用金属ビット線 1 0 4 とは非接続状態とされ、メモリセルには書き込み／消去の電圧は印加されない。

【0 1 0 0】

次に、本発明の一実施例のメモリセルアレイにおけるメモリセルへの書き込み、消去、および読み出しの動作について、具体的なバイアス電圧を例に説明する。

【0 1 0 1】

まず、本発明の一実施例における書き込み動作について説明する。本発明の M

ONOSメモリは、チャネル・ホットエレクトロンを用いる。図10を参照すると、バンク選択ゲート107、108に、所定の電圧、例えば8Vを印加し、バンク選択トランジスタをオンする。書き込むメモリセルに対応したゲート電極102に、高電圧、例えば9Vを印加する。

【0102】

さらに、書き込み／消去専用金属ビット線104に、書き込みパルス電圧、例えば、電圧5Vのパルスを、1 μ 秒印加する。

【0103】

図6及び図10を参照すると、書き込み／消去専用金属ビット線104に印加された書き込みパルス電圧は、コンタクト領域DのN型拡散層204に伝達される。さらに、D点のN型拡散層204には、P型ポケット注入層205が形成されているため、チャネル・ホットエレクトロンの発生効率が高められている。

【0104】

このとき、D点のN型拡散層204の両側のメモリセルトランジスタ（図6のMC1、MC2）のうちのいずれか一方にのみ選択的に書き込むために、E点のN型拡散層204を接地電位とし、F点のN型拡散層204に、インヒビット電圧として、例えば5Vを印加する。

【0105】

これにより、D点とE点のN型拡散層に挟まれたメモリセルトランジスタMC1のONO膜202に、チャネルホットエレクトロンが注入され、閾値が上がる。例えば、ONO膜202の構造が、トンネル酸化シリコン膜5nm／窒化シリコン膜5nm／トップ酸化シリコン膜6nmのMONOSメモリ素子の場合、この書き込み条件では、閾値は、初期の閾値に比べ、2V程度増加する。

【0106】

次に、本発明の一実施例の消去動作について説明する。本発明の実施例において、消去動作は、ホットホール注入を用いる。

【0107】

図10を参照すると、バンク選択ゲート107、108に所定の電圧、例えば8Vを印加し、バンクを選択する。

【0108】

消去対象のメモリセルに接続するワード線（ゲート電極）102を、接地電圧または負電圧、例えば、-6Vを印加する。

【0109】

さらに、書き込み／消去専用金属ビット線104に、消去パルス電圧、例えば電圧5Vのパルスを、10ms程度印加する。このとき、読み出し専用金属ビット線105-1、105-2は、接地レベルにする。

【0110】

図6及び図10を参照すると、書き込み／消去専用金属ビット線104に印加された消去パルス電圧は、コンタクト領域DのN型拡散層204に伝達される。

【0111】

さらに、D点のN型拡散層204には、P型ポケット注入層205が形成されているため、バンド間ホットホールの発生効率が高められている。

【0112】

このとき、D点のN型拡散層204を共有する2つのメモリセルトランジスタにおいて、先の書き込み動作において、ONO膜202中に蓄積されている電子は、注入されたホールによって中和される。

【0113】

なお、この消去動作に先立ち、未書き込みのメモリセルに対して、予備書き込み（Pre Program）を行っておくと、ホールの過注入現象が抑制され、書き込み消去サイクルの耐性が向上する。

【0114】

次に、本発明の一実施例のメモリセルアレイにおけるメモリセルの読み出し動作について説明する。メモリセルの読み出しには、2つの方法が可能である。図10を参照すると、バンク選択ゲート107、108に、所定の電圧、例えば3Vを印加して、バンク選択トランジスタ111-1、111-2をオンし、バンクを選択する。

【0115】

読み出すメモリセルに接続するワード線（ゲート電極102）に、正電圧、例

えば 3 V を印加する。

【 0 1 1 6 】

第 1 の読み出し方法としては、書き込み／消去専用金属ビット線 1 0 4 に接地電位を印加し、読み出し専用金属ビット線 1 0 5 - 1 （あるいは 1 0 5 - 2 ）に読み出し電圧を印加する。このとき、読み出し電圧を印加しない方の読み出し専用金属ビット線 1 0 5 - 2 （あるいは 1 0 5 - 1 ）は接地電位にする。この方法のメリットは、図 6 乃至図 9 を参照して説明した構造に、そのまま適用することができる、ということである。

【 0 1 1 7 】

第 2 の読み出し方法は、書き込み／消去専用金属ビット線 1 0 4 に読み出し電圧、例えば 1 V を印加し、書き込み／消去専用金属ビット線 1 0 4 に隣接し、読み出すメモリセルトランジスタ側の読み出し専用金属ビット線 1 0 5 - 1 あるいは 1 0 5 - 2 に接地電位を印加する。読み出しを行わないメモリセルトランジスタ側の読み出し専用金属ビット線 1 0 5 - 2 （あるいは 1 0 5 - 1 ）は、オープンとするか、あるいは読み出し電圧を印加する。そして、読み出し専用金属ビット線に接続されるセンスアンプ（不図示）では、メモリセルトランジスタのソース・ドレイン間に流れる電流の大きさによって、読み出し対象のメモリセルが、書き込まれたセルか未書き込みのセルか否かを判定する。

【 0 1 1 8 】

すなわち、書き込まれたメモリセルでは、メモリセルの ONO 2 0 2 膜（図 6 参照）中に、電子がトラップされているために、当該メモリセルの閾値は、例えば 4 V 程度まで上昇し、メモリセルトランジスタのチャネルがオンすることがない。

【 0 1 1 9 】

第 2 の読み出し方法を用いた場合、グローバル書き込み／消去専用金属ビット線 1 1 0 に印加される読み出し電圧は、バンク選択トランジスタ 1 1 1 - 1、1 1 1 - 2 を介して、書き込み／消去専用金属ビット線 1 0 4 に伝達される。このため、実質的なグローバル書き込み／消去専用金属ビット線 1 1 0 の配線容量を縮減することが出来るため、高速読み出しに、有効である。

【0120】

前述したように、書き込み方式として、チャネルホットエレクトロン注入、消去方式として、ホットホール注入を採用することで、1層ゲート電極によるXセル型のMONOSメモリを構成することができる。このため、サリサイドプロセスとの整合がとりやすい。

【0121】

図11及び図12は、本発明の一実施例の製造方法を工程順に示す図である。図11(A)乃至図12(C)を参照して、本発明の一実施例の製造方法について説明する。なお、図11(A)乃至図12(C)は、単に図面作成の都合で分図されたものである。

【0122】

P型シリコン基板240上に、ONO膜241及びゲート電極となる多結晶シリコン膜を形成したあと、パタン形成してゲート電極242を形成し、しかる後、ソース・ドレイン用のN型拡散層243を形成する(図11(A)参照)。

【0123】

次に、書き込み動作を容易とするためのP型ポケット注入層244を、書き込み／消去端子(図10の書き込み／消去専用金属ビット線104に接続されるコンタクトを有するDの拡散層204)側に形成する(図11(B)参照)。なお、P型ポケット注入層244は、必ずしも形成しなくとも良い。P型ポケット注入層244は、消去動作の際に、ホットホールの発生効率を高めている。

【0124】

次に、ゲート側壁にサイドウォールスペーサ245を形成する(図11(C)参照)。サイドウォールスペーサ245の形成は、CVD等で酸化シリコン膜を堆積したのちエッチバック除去するという公知の方法が用いられる。なお、ここまでのプロセスは、図6を参照して説明した製造方法を用いているが、図7、図8及び図9等を参照して説明した製造方法を用いてもよいことは勿論である。

【0125】

しかる後、公知の手法を用いて、ゲート電極242及びN型拡散層243上を高融点金属、あるいは準貴金属(例えばCo)などを用いてシリサイド化し、シ

リサイド層 246 を形成する（図 12（A）参照）。

【0126】

次に、層間絶縁膜 247 を形成した後、必要に応じてコンタクト開孔 248 を形成する（図 12（B）参照）。

【0127】

さらに、コンタクト開孔部には、導電材料として例えばタングステンを埋め込み、将来、上層に形成する金属配線（図 10 の第 1 アルミ配線層の読み出し専用金属ビット線 105、書き込み／消去専用金属ビット線 104 等）との接続プラグ 249 を形成する（図 12（C）参照）。その後、絶縁膜を介して第 2 アルミ配線層（不図示）が形成され、第 2 アルミ配線層に、グローバル書き込み／消去専用金属ビット線が配線される。図 10 のバンク選択トランジスタ 111-1、111-2 のそれぞれについて、ソース、ドレイン拡散層の一方は、第 2 アルミ配線層のグローバル書き込み／消去専用金属ビット線に、コンタクト／スルーホールを介して接続される。

【0128】

ところで、1 メモリトランジスタに 2 ビットの情報（記憶ノード）を格納する技術として、上記した米国特許（US 6, 256, 231）等が公知となっている。この公知の方法を、本発明に適用することで、顕著な効果が期待される。

【0129】

すなわち、従来技術（US 6, 256, 231）の最大の課題は、ソース・ドレインを形成する N 型拡散層の配線抵抗が大きいため、メモリセルの書き込みや消去の動作を正常に行うのが難しいことであった。この公知の技術を用いた場合、ソース・ドレインに、約 10 K オームの抵抗が発生する。ところで、メモリセルの書き込み動作を考えると、書き込み動作におけるメモリセルのトランジスタのオン抵抗が、約 10 K オームであることを考慮すると、ソース・ドレインの寄生抵抗と、メモリトランジスタのオン抵抗が殆ど等価になってしまうことになる。

【0130】

前述したように、メモリセルの書き込み動作においては、N 型拡散層へ 5 V の

パルス電圧の印加が必要である。

【0131】

しかしながら、公知例で示すように、ソース・ドレインの寄生抵抗がメモリセルトランジスタのオン抵抗と同等であるため、実質的には、2倍、すなわち10Vのパルス電圧印加が必要になる。このため、チャージポンプや高電圧印加回路が大きくなり、製造コストに大きく影響する。

【0132】

これに対して、本発明においては、ソース・ドレインに寄生する抵抗を特段に小さくできるため、チャージポンプや高電圧印加回路が大きくなり、製造コストに大きく影響するという問題は生じない。

【0133】

このように、本実施例によれば、

(1) メモリセルサイズを小さく出来る、

(2) サリサイド化が容易であるため寄生抵抗を小さく出来き、書き込み動作に必要な電圧をが低く抑えられるため、チャージポンプ等の回路面積が小さくて済む、

という作用効果を奏する。

【0134】

次に、本発明の別の実施例の製造方法についてさらに説明する。図13は、本発明の別の実施例の製造方法を説明するための工程断面図である。図13(A)では、基板221のコンタクト領域E、D、Fに拡散層224を形成している。図13(B)を参照すると、書き込み／消去専用金属ビット線104とコンタクトで接続されるD点(図10参照)のN型拡散層224と、読み出し専用金属ビット線に接続されるE、F点(図10参照)の拡散層224にP型ポケット注入層225を設けている。これ以外の構成は、図6に示した構成と同様とされる。そして、図13(C)では、ゲート側壁にサイドウォールスペーサを形成している。

【0135】

図14は、本発明のさらに別の実施例の製造方法を説明するための工程断面図

である。

【0136】

図14 (A) を参照すると、基板221のコンタクト領域E、D、Fに低濃度不純物領域228を形成し、ゲート電極223直下の低濃度不純物領域228にそれぞれ、P型ポケット注入層227を形成する。P型ポケット注入層227の形成は、図6 (B) に示した方法が用いられる。

【0137】

図14 (B) を参照すると、ゲート側壁にサイドウォールスペーサ229を形成する。

【0138】

つづいて、図14 (C) を参照すると、砒素等をイオン注入し、コンタクト領域E、D、Fに拡散層230を形成する。

【0139】

図14 (C) に示すように、書き込み／消去専用金属ビット線104とコンタクトで接続されるD点 (図10参照) のN型拡散層230と、読み出し専用金属ビット線に接続されるE、F点 (図10参照) の拡散層230にそれぞれ、P型ポケット注入層227を備え、P型ポケット注入層227の内側にN型ポケット注入層228を備えている。

【0140】

図15は、本発明の別の実施例の製造方法を説明するための工程断面図である。図15 (A) を参照すると、ゲート電極223直下のチャネル領域に、P型ポケット注入層231を備えている。この工程において、P型ポケット注入層231の形成は、図6 (B) に示した方法が用いられる。次に、図15 (B) を参照すると、ゲート側壁にサイドウォールスペーサ232を形成する。

【0141】

以上本発明を上記実施例に即して説明したが、本発明は上記実施例の構成にのみ限定されるものでなく、特許請求の範囲の各請求項の発明の範囲内で当業者であればなし得るであろう各種変形、修正を含むことは勿論である。

【0142】

【発明の効果】

以上説明したように、本発明によれば、Xセルにおいて、1セル1トランジスタ構成としたことにより、メモリセルサイズを縮減することができる。

【0143】

また、本発明によれば、1セル1トランジスタ構成とし、1層ポリシリコン構成としているため、製造工程を簡易化することができる。

【0144】

さらに、本発明によれば、サリサイド化が容易であるため、配線の寄生抵抗を縮減し、書き込み動作に必要な電圧が低く抑えられる。このため、本発明によれば、チャージポンプ等の回路面積が小さくて済む、という利点を有する。

【図面の簡単な説明】

【図1】

(A)、(B)は、本発明の原理を説明するための図である。

【図2】

本発明の一実施例のメモリセルの構成を示す断面図である。

【図3】

本発明の一実施例のメモリセルアレイの構成を示すレイアウト図である。

【図4】

図3の本発明の実施例のメモリセルアレイを等価回路で示す図である。

【図5】

本発明の一実施例の構成を示すレイアウト図である。

【図6】

(A)乃至(C)は、本発明の一実施例の製造方法の一例の製造工程順に、図5のA-A'線の断面に示す図である。

【図7】

(A)乃至(C)は、本発明の一実施例の製造方法の他の例の製造工程順に、図5のA-A'線の断面を示す図である。

【図8】

(A)乃至(C)は、本発明の一実施例の製造方法のさらに他の例の製造工程

順に、図 5 の A - A' 線の断面を示す図である。

【図 9】

(A) 乃至 (C) は、本発明の一実施例の製造方法のさらに他の例の製造工程順に、図 5 の A - A' 線の断面を示す図である。

【図 1 0】

本発明の一実施例のメモリセルアレイの構成を示すレイアウト図である。

【図 1 1】

(A) 乃至 (C) は、本発明の一実施例の製造方法の一例の製造工程順に、図 1 0 のの断面に示す図である。

【図 1 2】

(A) 乃至 (C) は、本発明の一実施例の製造方法の一例の製造工程順に、図 1 0 のの断面に示す図である。

【図 1 3】

(A) 乃至 (C) は、本発明の一実施例の製造方法の一例の製造工程順に、図 1 0 のの断面に示す図である。

【図 1 4】

(A) 乃至 (C) は、本発明の一実施例の製造方法の一例の製造工程順に、図 1 0 のの断面に示す図である。

【図 1 5】

(A) 乃至 (C) は、本発明の一実施例の製造方法の一例の製造工程順に、図 1 0 のの断面に示す図である。

【図 1 6】

従来の半導体記憶装置の回路を示す図である。

【図 1 7】

図 1 6 の従来の半導体記憶装置のレイアウトを示す図である。

【図 1 8】

従来の半導体記憶装置の問題点を説明するための図である。

【図 1 9】

従来の半導体記憶装置の構成を示す図である。

【図 20】

図 19 の従来の半導体記憶装置のメモリセルアレイの構成を示す図である。

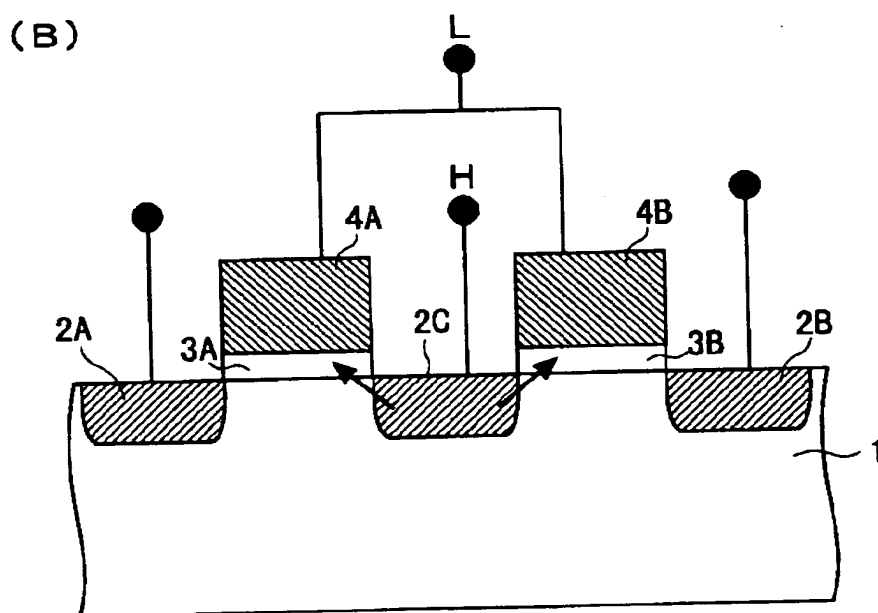
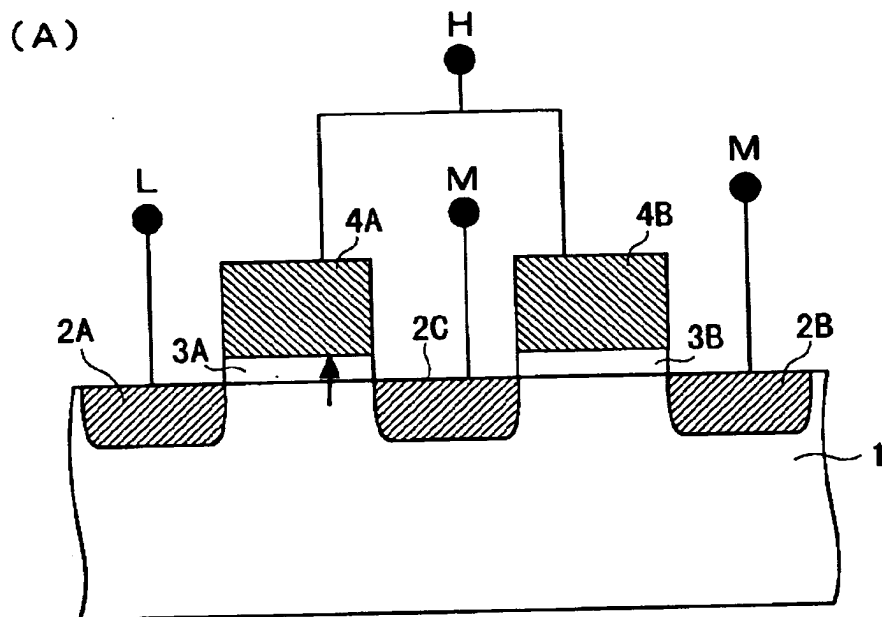
【符号の説明】

- 1 P型シリコン基板
- 2 A、2 B、2 C N+拡散層
- 3 A、3 B ゲート絶縁膜（ONO膜）
- 4 A、4 B ゲート電極
- 5 A、5 B サイドウォール
- 6、6 A、6 B 金属シリサイド
- 12 P型シリコン基板
- 14、16 N+拡散層
- 18 酸化シリコン膜
- 20 窒化シリコン膜
- 22 酸化シリコン膜
- 24 ゲート電極
- 26、28 記憶ノード
- 101 STI
- 102 ワード線電極（ゲート電極）
- 103 コンタクト
- 104 書き込み／消去専用金属ビット線
- 105 読み出し専用金属ビット線
- 107、108 バンク選択ゲート
- 109 TH／コンタクト
- 110 グローバル書き込み／消去専用金属ビット線
- 111 バンク選択トランジスタ
- 201、211、221、240 P型シリコン基板
- 202、212、222、241 ONO膜
- 203、213、223、242 ゲート電極（ポリシリコンゲート）
- 204、218、230 拡散層

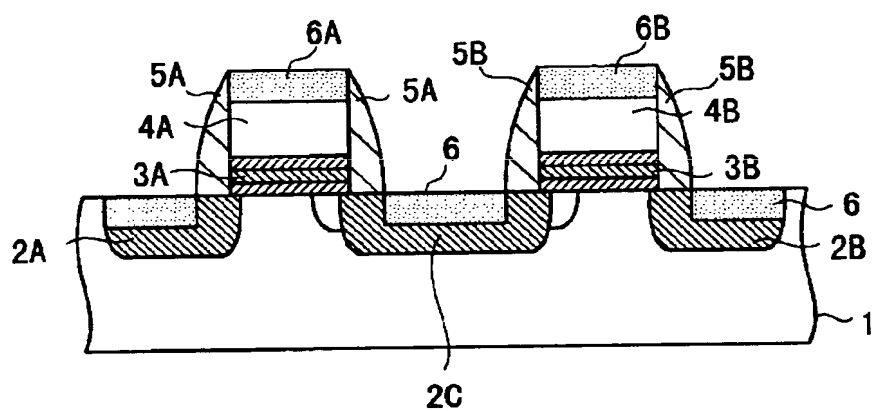
205、215、225、231、227、244 P型ポケット注入層
206、217、226、245 サイドウォールスペーサ
207、214 N型ポケット注入層
216、219 書き込み・消去専用端子（コンタクト）
218 拡散層
246 シリサイド層
247 絶縁膜
248 プラグ
310、320、330、340 メモリセル
311、312、321、322、331、332、341、342 ソース
／ドレイン電極
323、323、333、343 アドレスゲート電極
314、324、334、344 メモリゲート電極
1110 P型シリコン基板
1101、1102、1103 埋め込みN型拡散層
1124 酸化シリコン膜
1111、1112、1113 ONO膜
1126 ポリシリコン
1127 金属シリサイド

【書類名】 図面

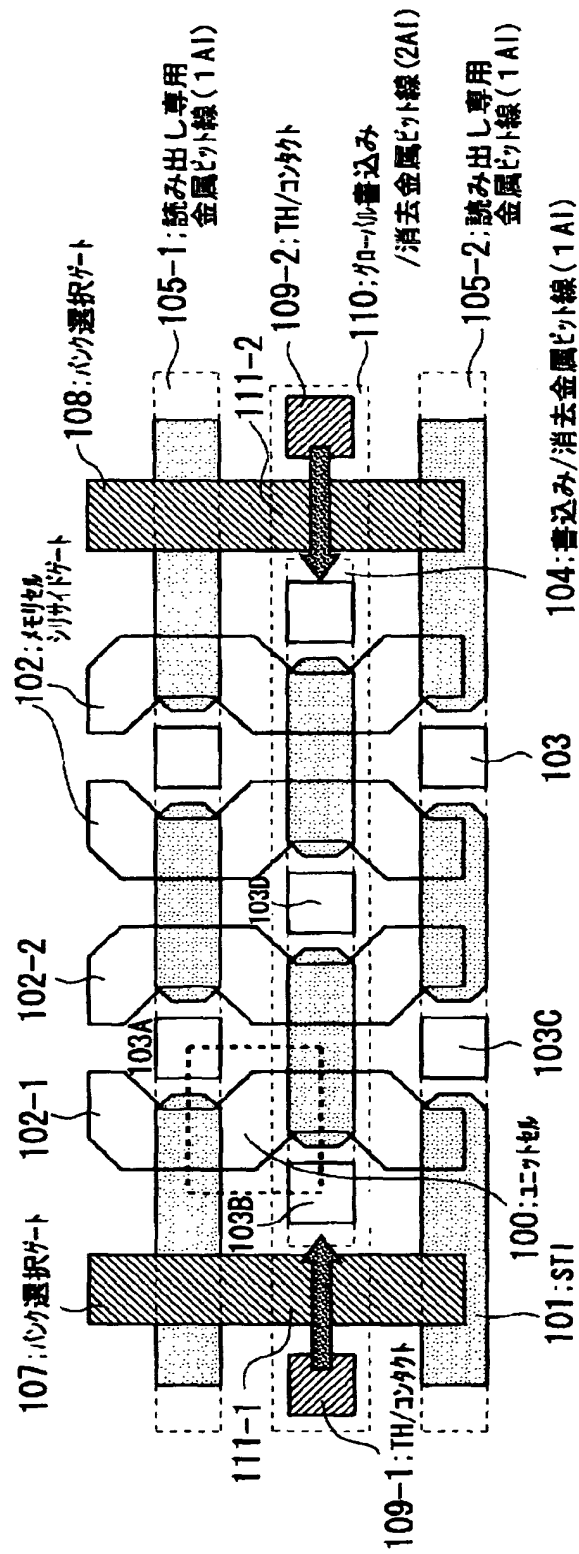
【図 1】



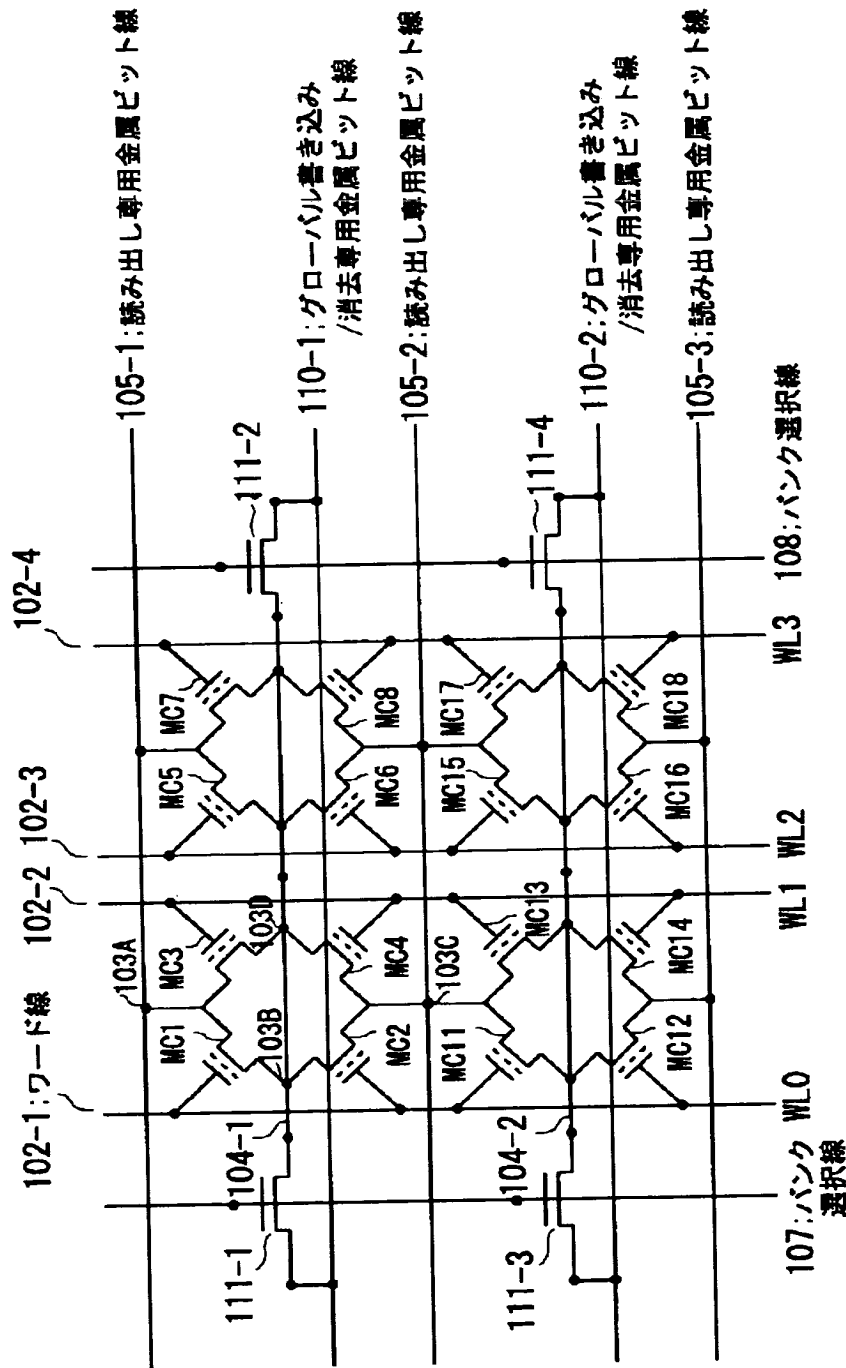
【図 2】



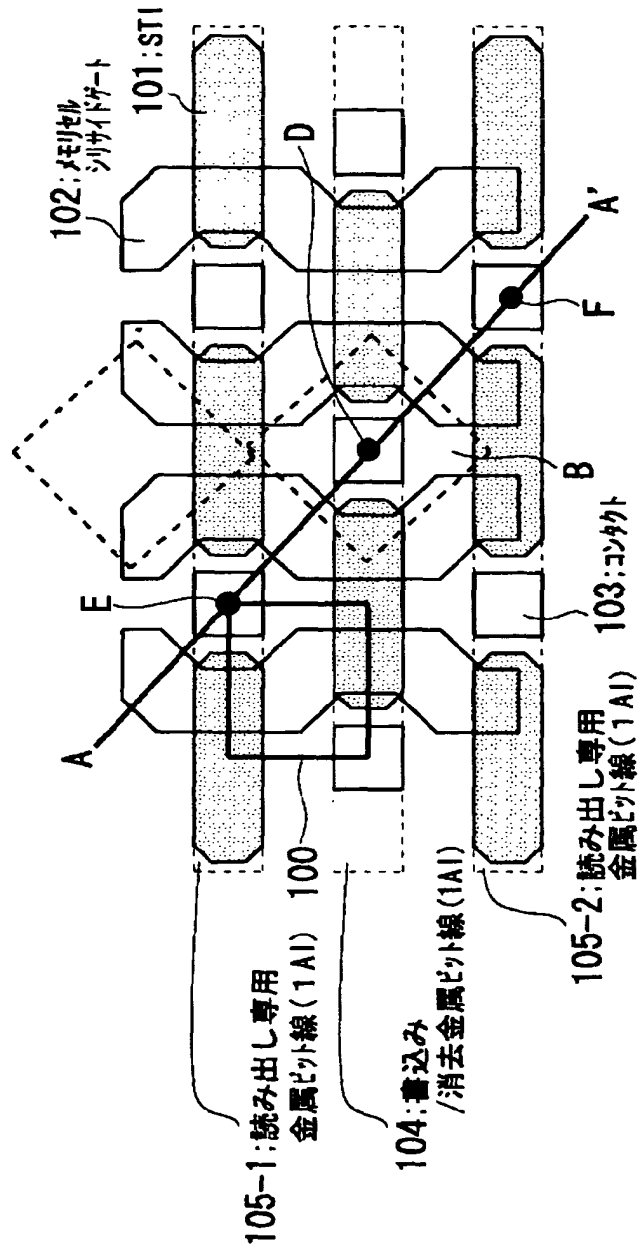
【図3】



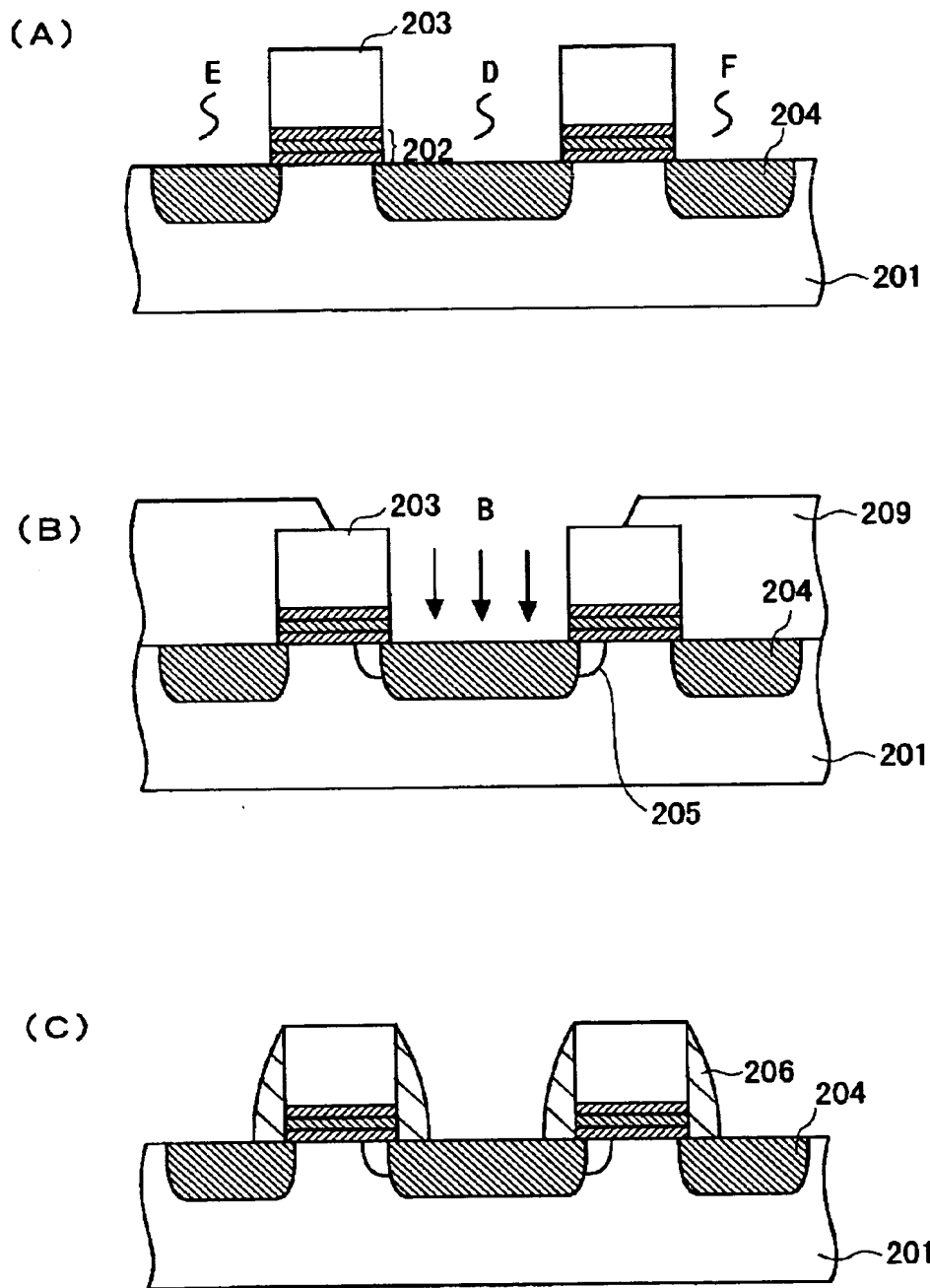
【図4】



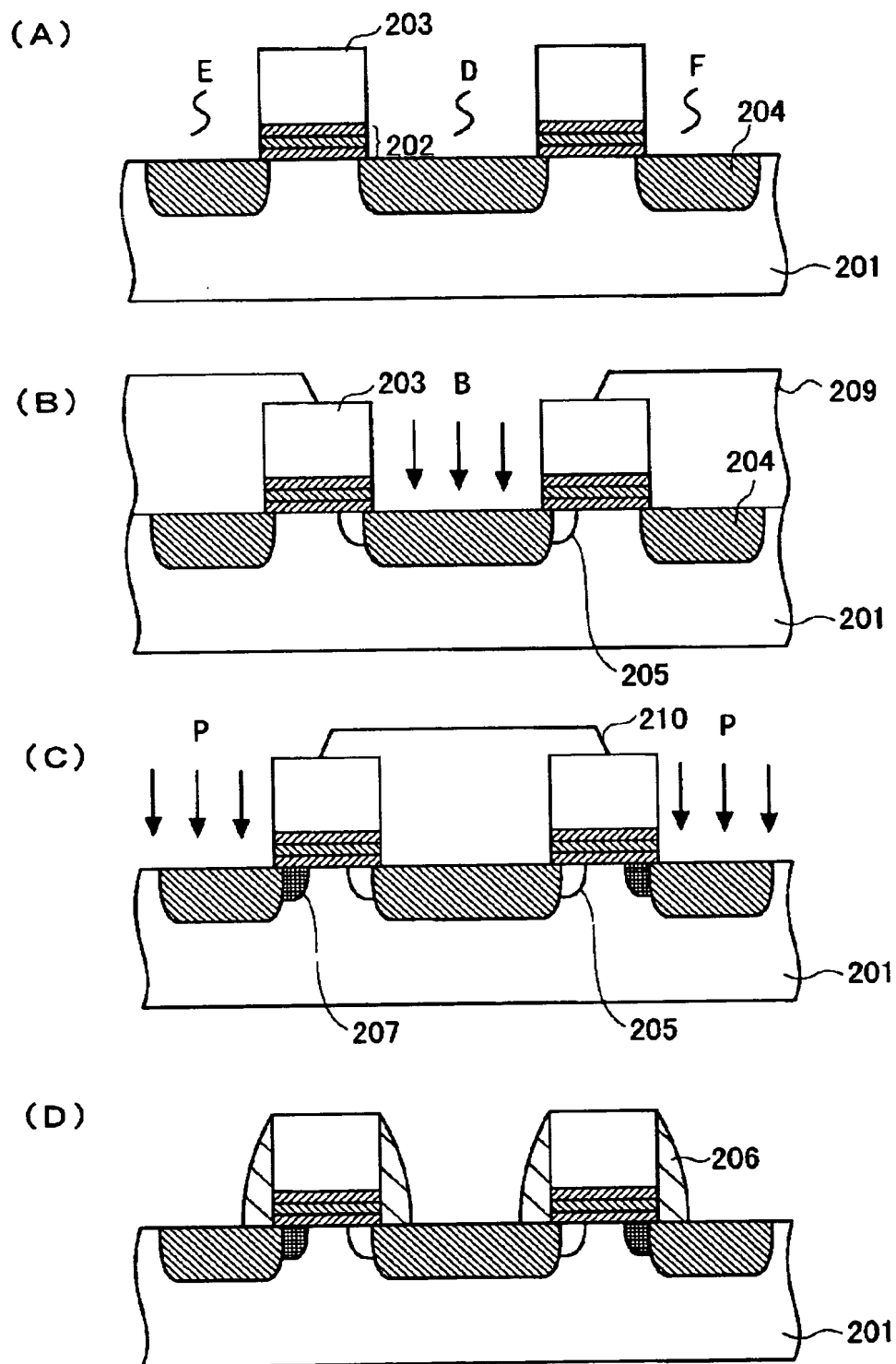
【図5】



【図 6】

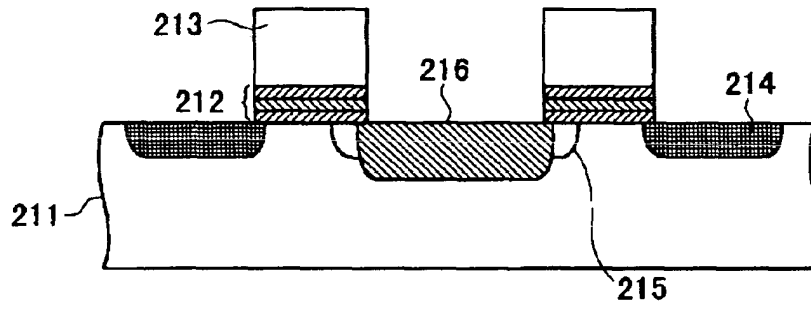


【図7】

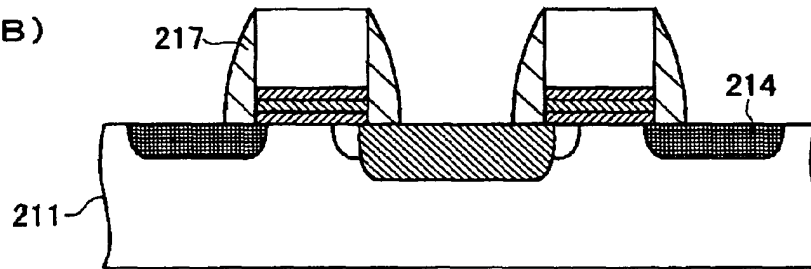


【図 8】

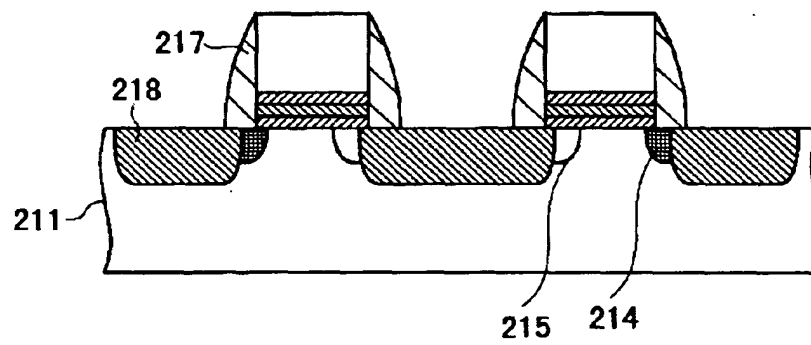
(A)



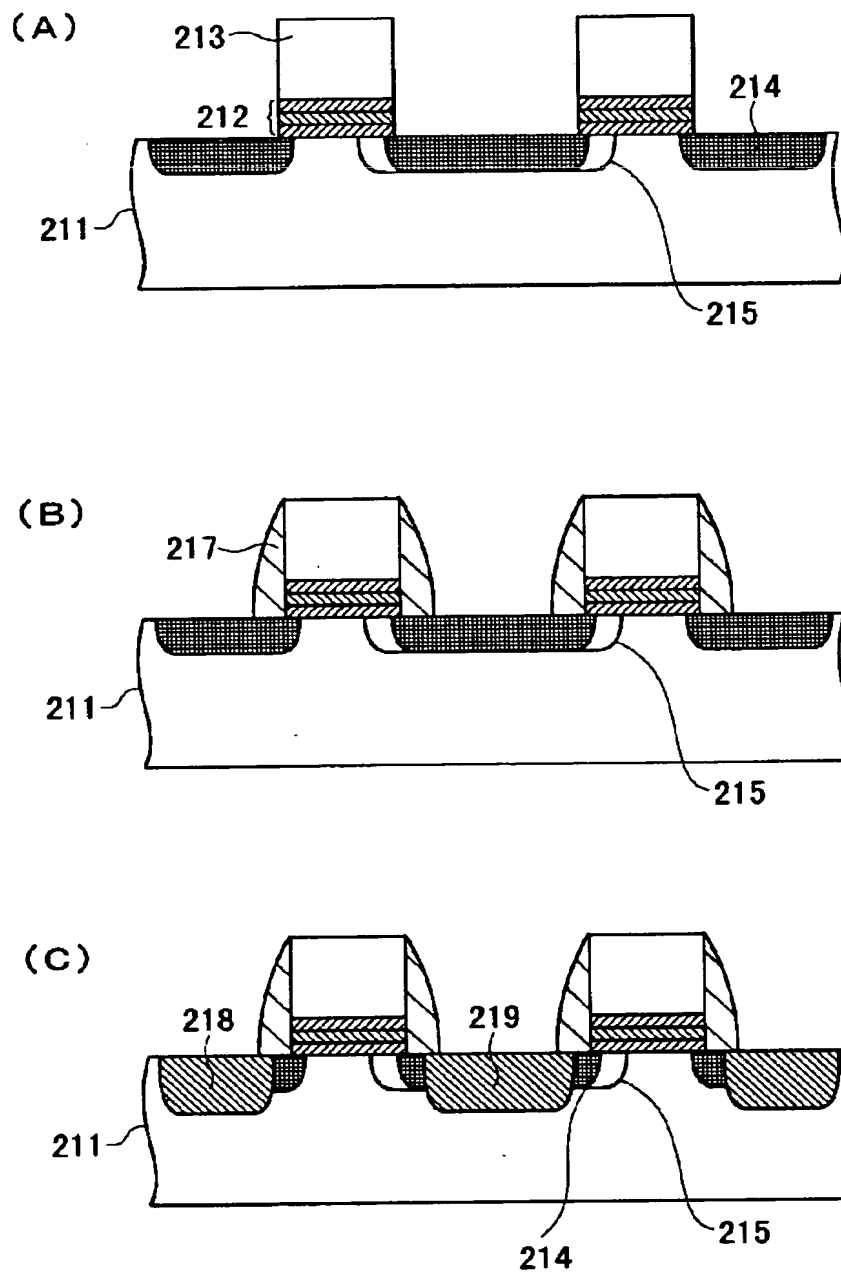
(B)



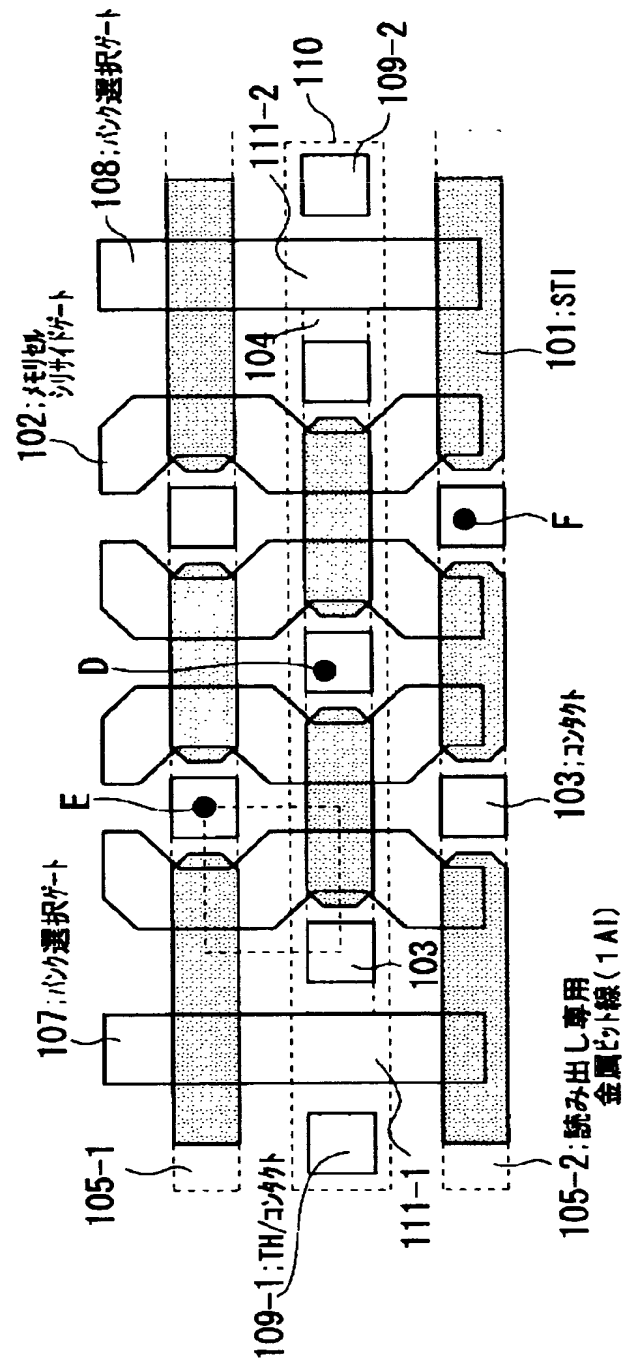
(C)



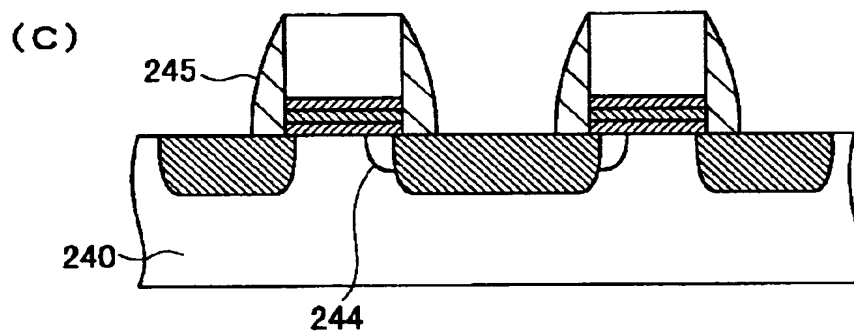
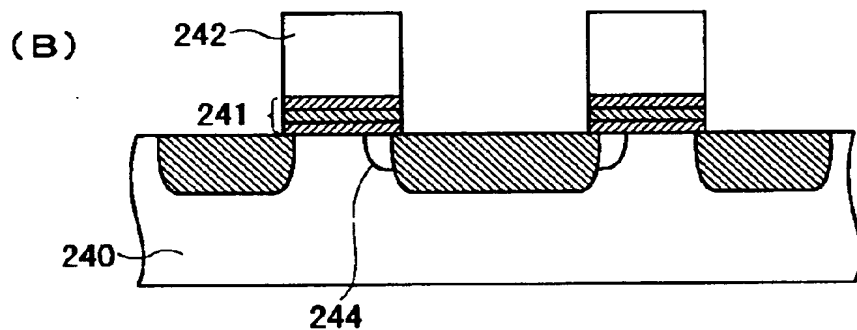
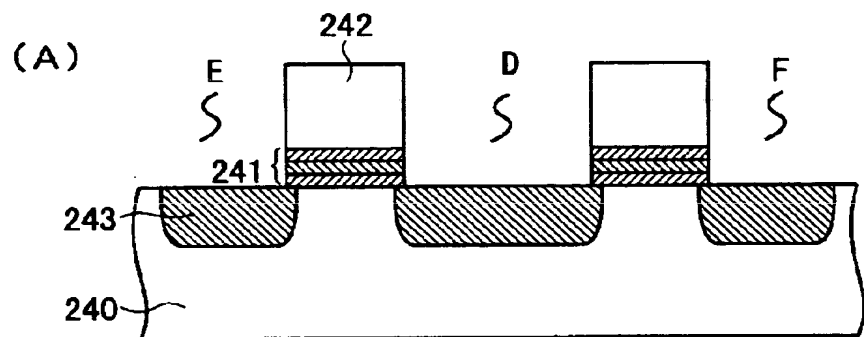
【図 9】



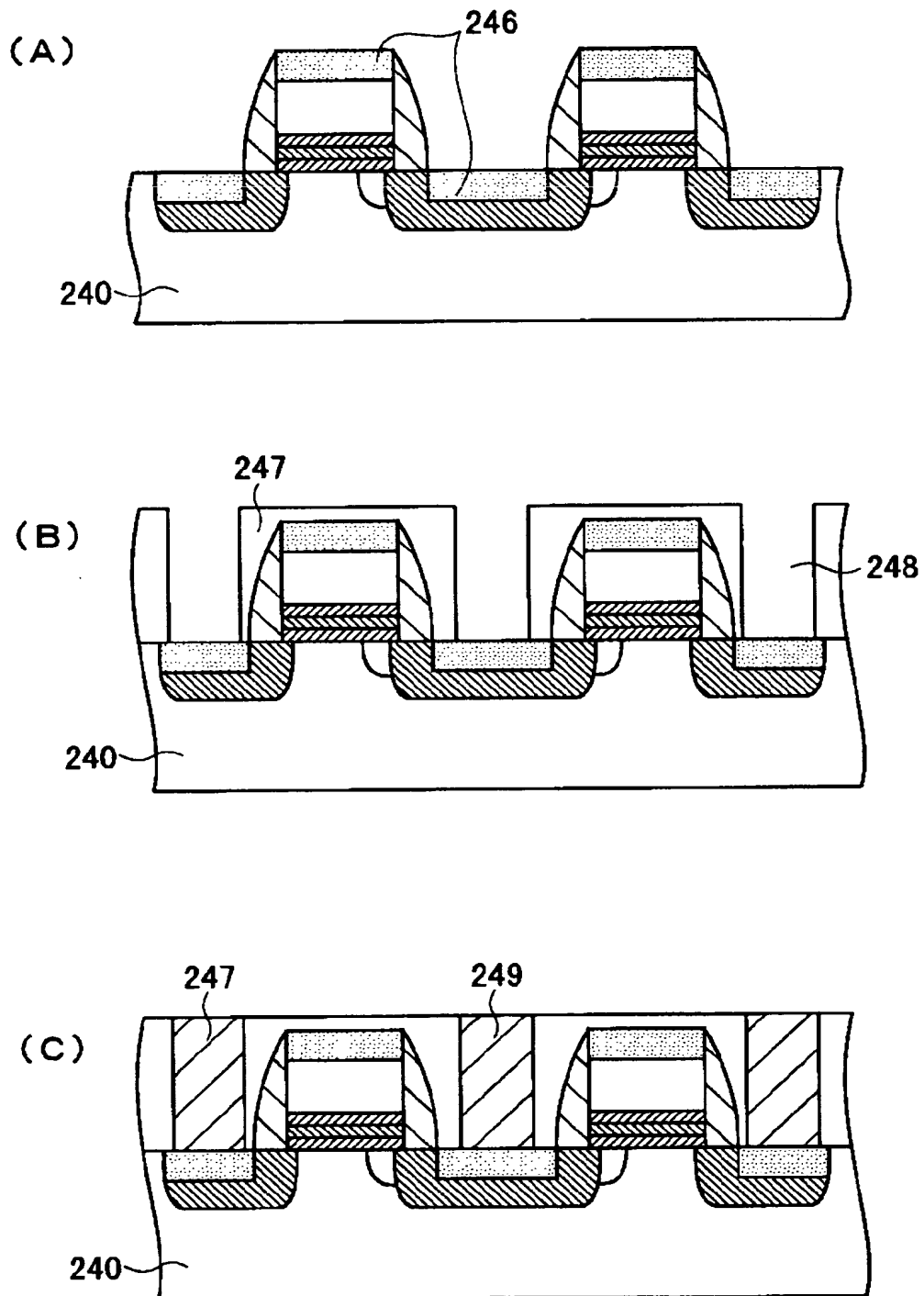
【図10】



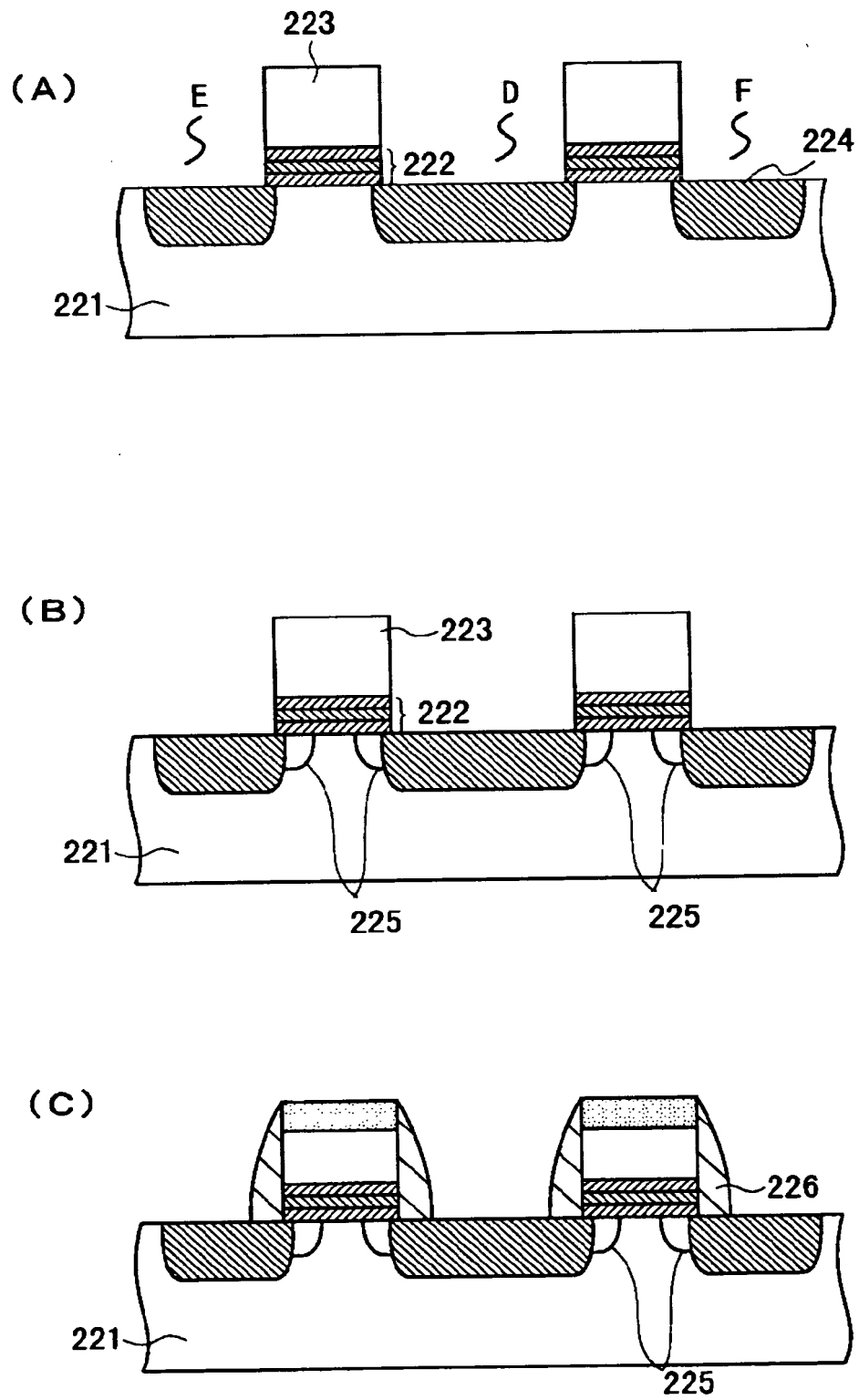
【図 1 1】



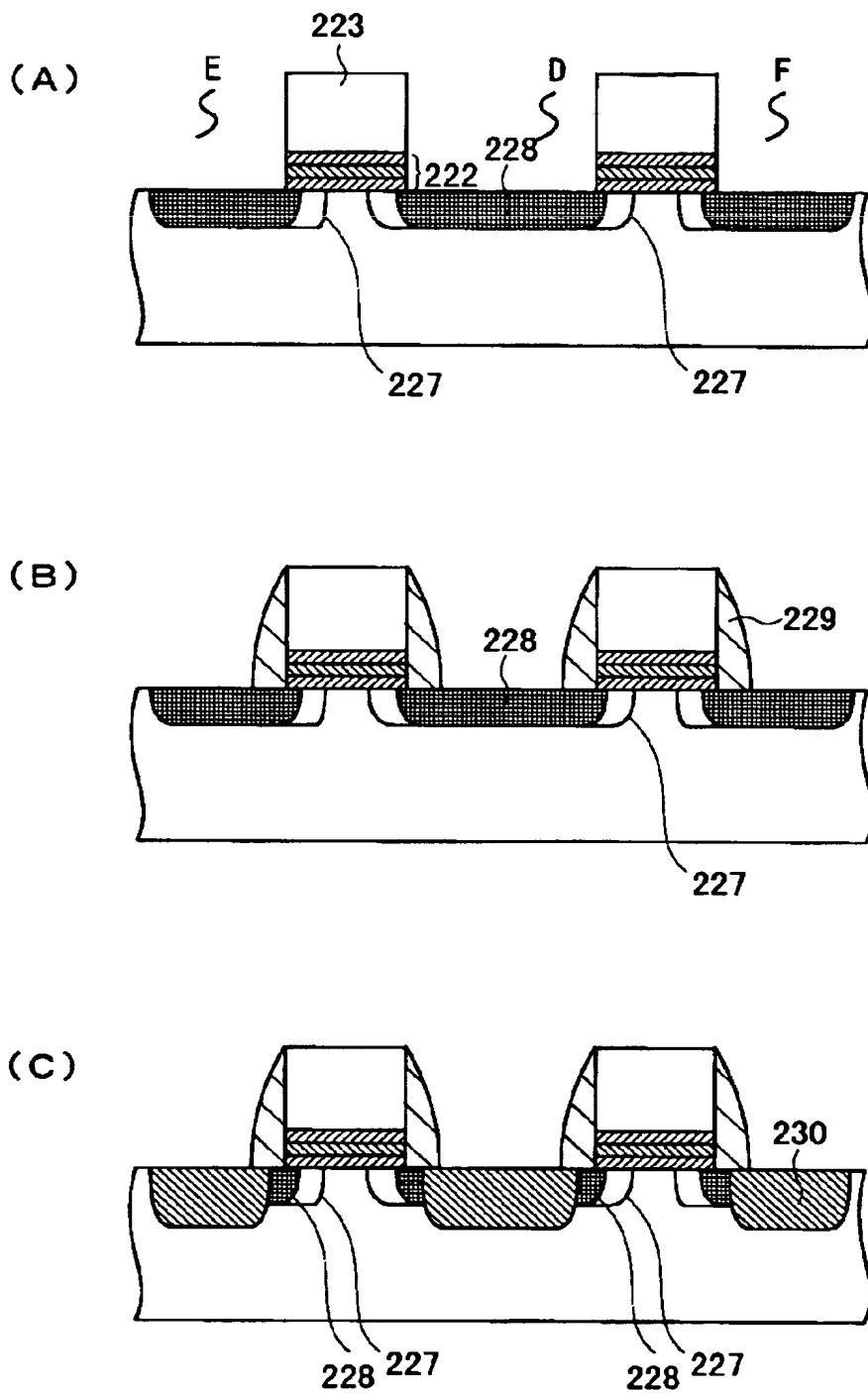
【図 1 2】



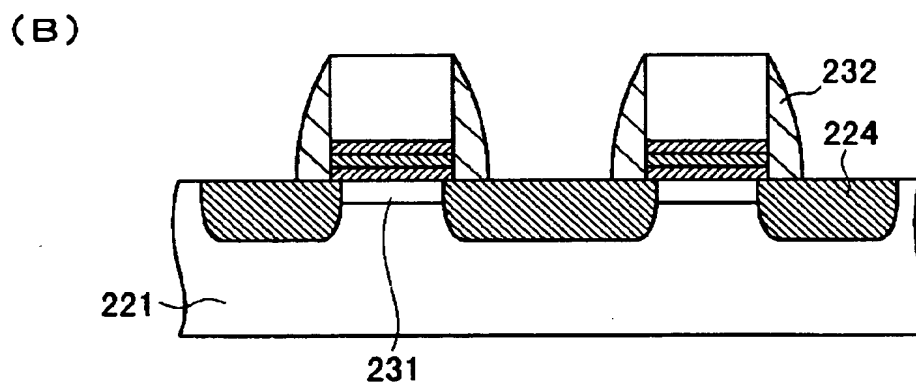
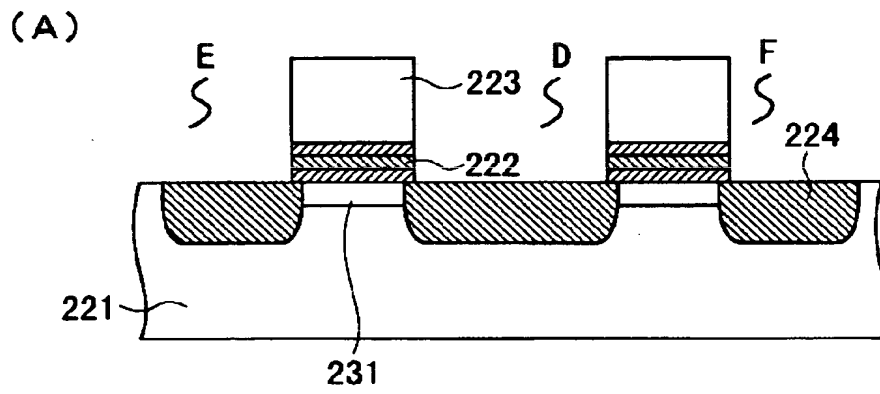
【図13】



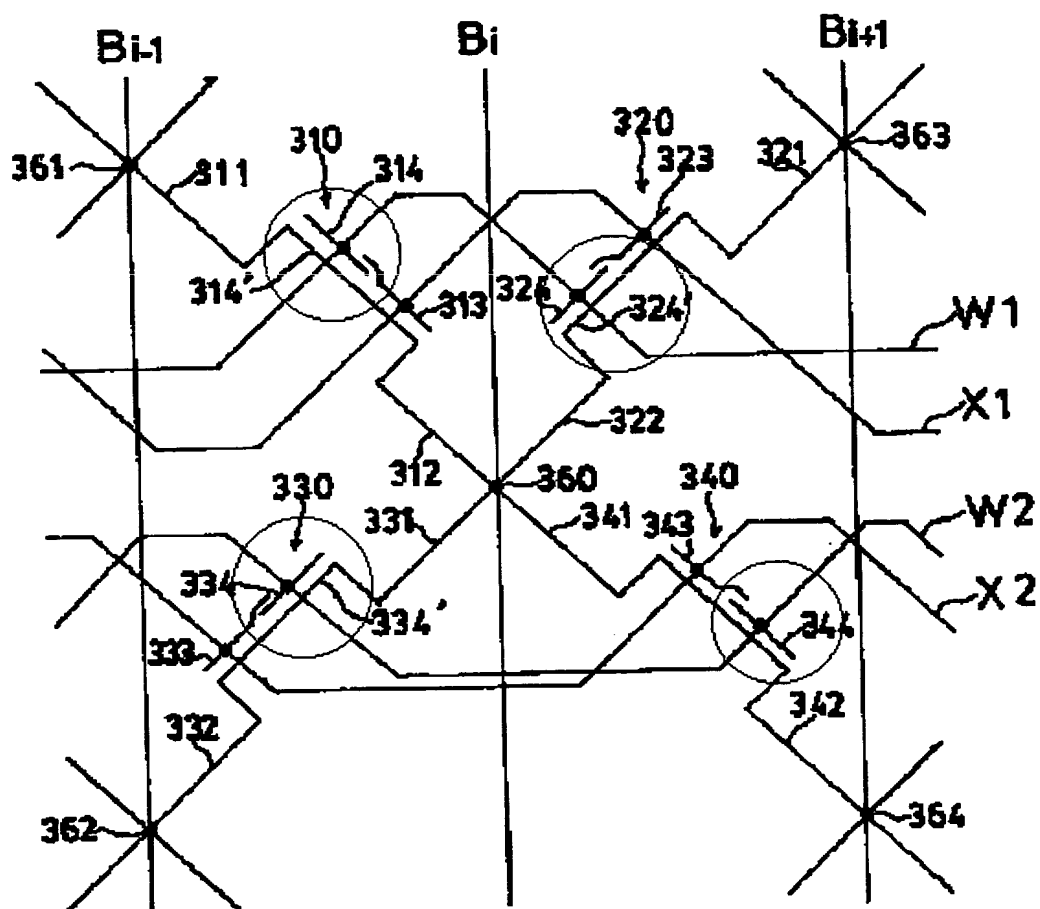
【図 1 4】



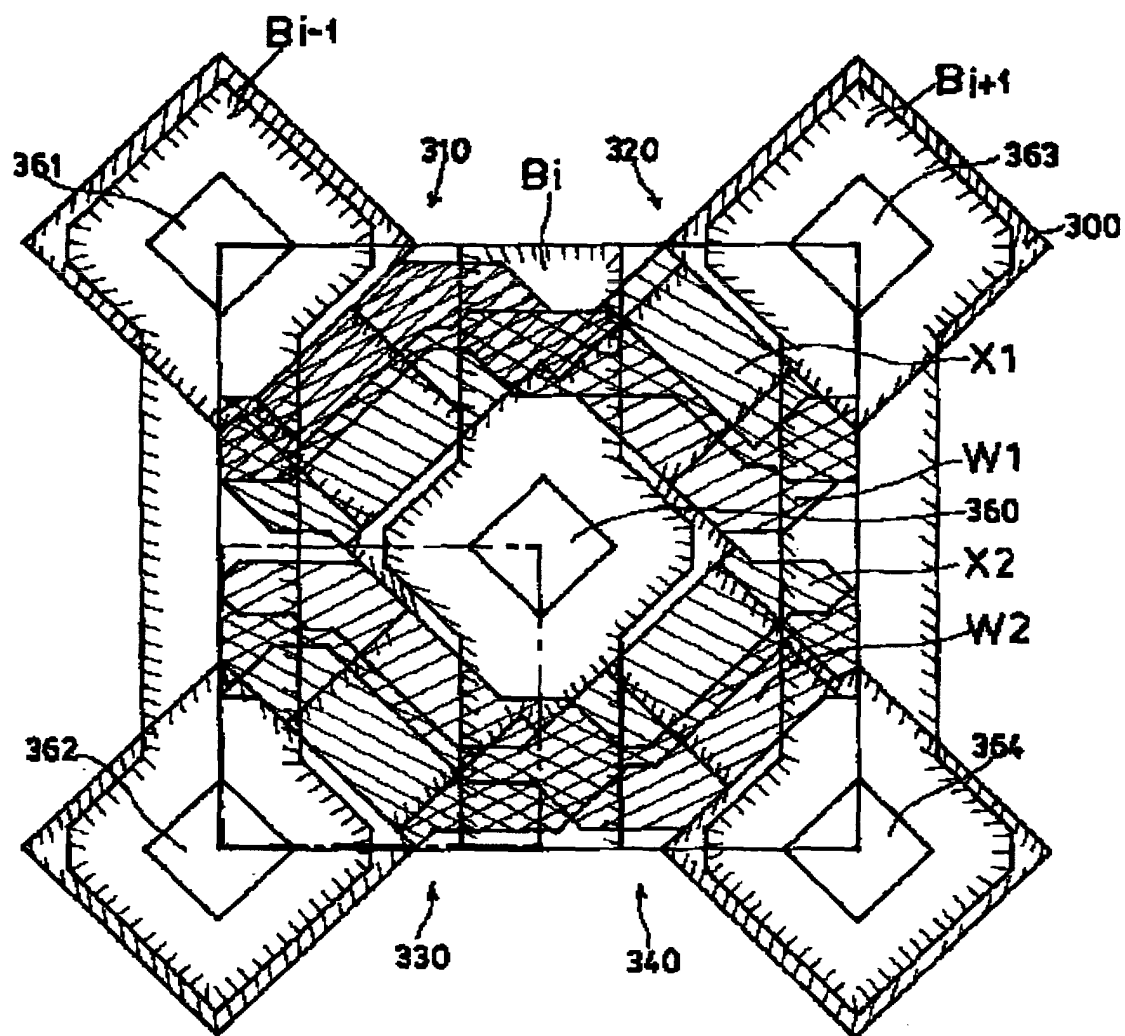
【図 1 5】



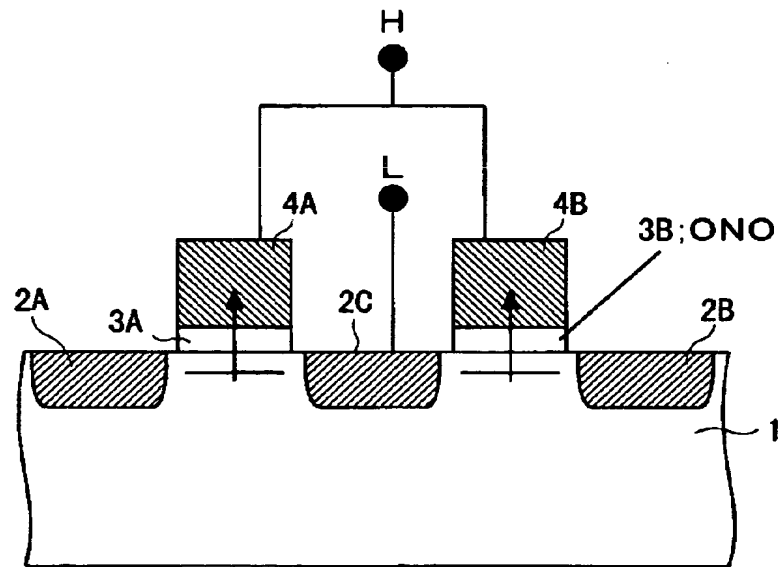
【図16】



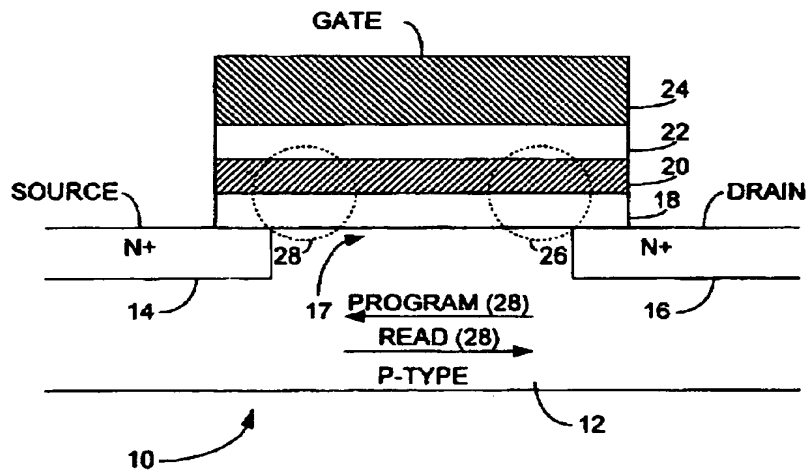
【図17】



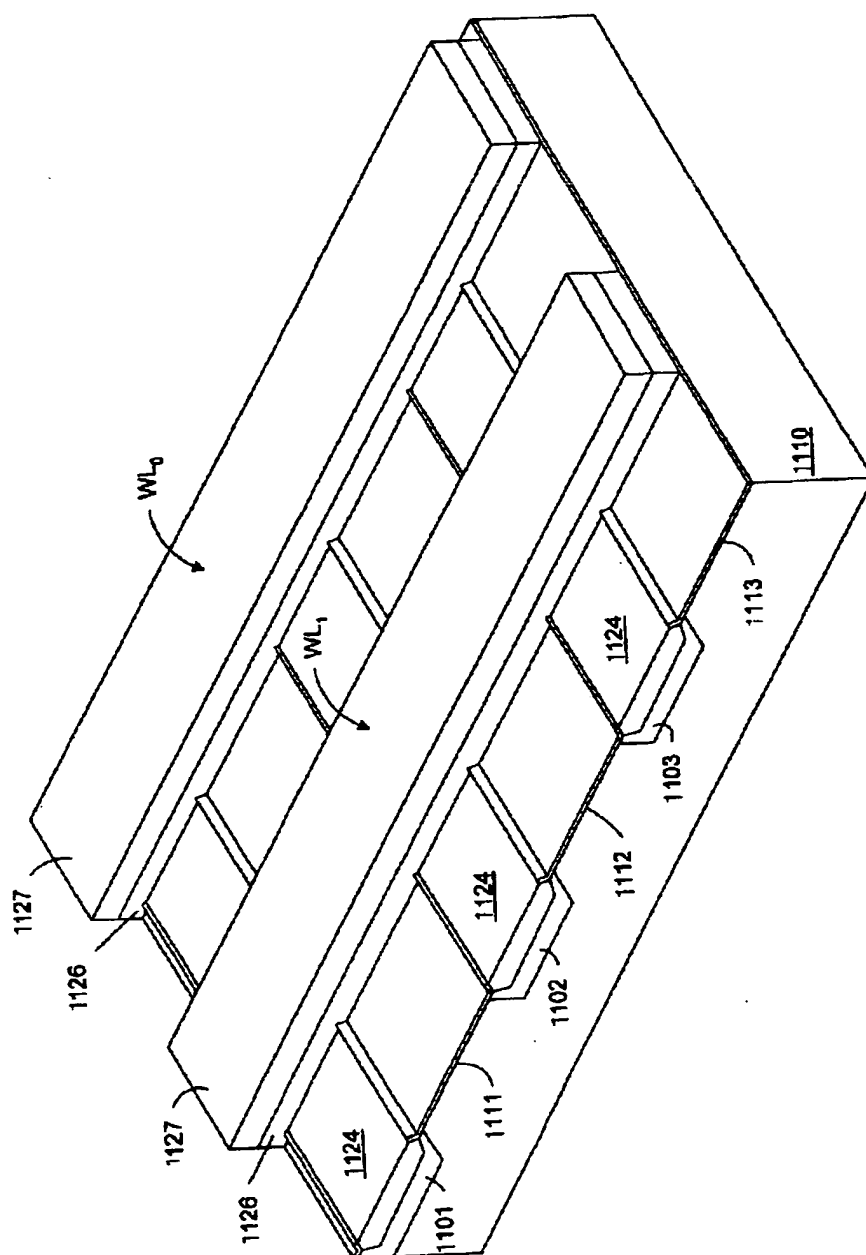
【図 1 8】



【図 1 9】



【図 20】



【書類名】 要約書

【要約】

【課題】

メモリセルサイズの縮減し、サリサイド化を容易とし、書き込み動作に必要な電圧を低く抑える半導体記憶装置及びその製造方法の提供。

【解決手段】

第 1 及び第 2 の拡散層（1 2 A、1 2 C）間の基板上に設けられた第 1 の絶縁膜（1 3 A）と第 1 の絶縁膜上に設けられた第 1 のゲート電極（1 4 A）と、第 2 及び第 3 の拡散層（1 2 B、1 2 C）間の基板上に設けられた第 2 の絶縁膜（1 3 B）と第 2 の絶縁膜上に設けられた第 2 のゲート電極（1 4 B）を備え、第 1、第 2 の拡散層、第 1 の絶縁膜、及び第 1 のゲート電極が第 1 のメモリセルをなし、第 2、第 3 の拡散層、第 2 の絶縁膜、及び第 2 のゲート電極が第 2 のメモリセルをなし、第 1 及び第 2 のゲート電極（1 4 A、1 4 B）は、共通接続されてワード線電極をなし、第 1、第 2 の拡散層（1 2 A、1 2 B）は、基板上層に配設される第 1、第 2 の読み出し用線に接続され、第 2 の拡散層（1 2 C）は、基板上層に配設される書き込み及び消去専用ビット線に接続され、選択されたメモリセルトランジスタへホットエレクトロン注入で書き込みが行われ、ホットホール注入で消去が行われる。

【選択図】

図 1

【書類名】 出願人名義変更届（一般承継）

【整理番号】 75010424

【提出日】 平成15年 1月23日

【あて先】 特許庁長官殿

【事件の表示】

【出願番号】 特願2002-255561

【承継人】

【識別番号】 302062931

【氏名又は名称】 N E C エレクトロニクス株式会社

【承継人代理人】

【識別番号】 100080816

【弁理士】

【氏名又は名称】 加藤 朝道

【電話番号】 045-476-1131

【提出物件の目録】

【物件名】 承継人であることを証明する登記簿謄本 1

【援用の表示】 平成15年1月10日提出の特願2002-31848
8の出願人名義変更届に添付のものを援用する。

【物件名】 承継人であることを証明する書面 1

【援用の表示】 平成15年1月15日提出の平成9年特許願第2877
43号の出願人名義変更届に添付のものを援用する。

【包括委任状番号】 0216557

【プルーフの要否】 要

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日
[変更理由] 新規登録
住 所 東京都港区芝五丁目7番1号
氏 名 日本電気株式会社

出 願 人 履 歴 情 報

識別番号 [302062931]

1. 変更年月日 2002年11月 1日
[変更理由] 新規登録
住 所 神奈川県川崎市中原区下沼部1753番地
氏 名 NECエレクトロニクス株式会社